

ՀՏԴ 510

Մաթեմատիկա

Արթուր ՄԽԻԹԱՐՅԱՆ

Մինուփսիս Արմենիա ՓԲԸ, Անալոգային և խառն ազդանշանային ինտեգրալ
սխեմաների մենեջեր
e-mail: marthur@synopsys.com

Հայկ ԳՐԻԳՈՐՅԱՆ,

Մինուփսիս Արմենիա ՓԲԸ, Անալոգային և խառն ազդանշանային ինտեգրալ
սխեմաների ճարտարագետ
e-mail: hgrigo@synopsys.com

Մուշեղ ԳՐԻԳՈՐՅԱՆ

Մինուփսիս Արմենիա ՓԲԸ, Անալոգային և խառն ազդանշանային ինտեգրալ
սխեմաների ճարտարագետ
e-mail: mushegg@synopsys.com

Վարդան ՀՈՎՀԱՆՆԻՍՅԱՆ

Արագած ՍՊԸ Ճարտարագետ
vardan@aragatsltd.am

Աշոտ ԱՎԵՏԻՍՅԱՆ

Մինուփսիս Արմենիա ՓԲԸ
Անալոգային և խառն ազդանշանային ինտեգրալ սխեմաների ճարտարագետ
e-mail: aavet@synopsys.com

**ԱՆԱԼՈԳԱՅԻՆ ԻՆՏԵԳՐԱԼ
ՍԽԵՄԱՆԵՐՈՒՄ ՑԱԾՐ ԼԱՐՄԱՆ
ՇԵՂՄԱՍԲ ՀԱՄԵՄԱՏԻՉԻ
ՆԱԽԱԳԾՈՒՄԸ**

Ժամանակակից անալոգային ինտեգրալ սխեմաներում տրանզիստորների չափերը հասել են ընդհուպ մինչև Յնմ-ի: Այդպիսի նանոչափական կառուցվածքներով նախագծման պայմաններում լրջագույն մարտահրավեր է դարձել պարամետրերի ճշգրիտ ապահովումը՝ կախված տարբեր գործոններից՝ սնման լարման և շրջապատող միջավայրի ջերմաստիճանի տատանումներից, կիսահաղորդչային տեխնոլոգիաների անկատարությունից:

Այս աշխատանքում իրականացված է անալոգային համեմատիչի նախագծում, որտեղ առաջարկվել է նոր սխեմա՝

հիմնված երկու ռեժիմներում աշխատող ուժեղարարի վրա: Իրականացած պարամետրական օպտիմալացման հաշվին հաջողվել է բարելավել լարման շեղման արժեքը՝ 7մՎ-ից հասցնելով 1մՎ-ը չգերազանցող արժեքի՝ տեխնոլոգիական շեղումների 4,5 սիգմա տիրույթում:

Բանալի բառեր՝ համեմատիչ, լարման շեղում, ԻՄ, բացասական հետադարձ կապ:

A.X.МХИТАРЯН, А.Т. ГРИГОРЯН, М.Т. ГРИГОРЯН, В.Д. ОГАННИСЯН, А.А. АВЕТИСЯН
КОНСТРУКЦИЯ КОМПАРАТОРОВ С НИЗКИМ
НАПРЯЖЕНИЕМ СМЕЩЕНИЯ В АНАЛОГОВЫХ
ИНТЕГРИРОВАННЫХ СХЕМАХ

В современных аналоговых интегральных схемах размер транзисторов достигает 3 нм. Точное задание параметров стало серьезной проблемой при проектировании таких наноразмерных структур, зависящих от различных факторов: напряжения питания, колебаний температуры окружающей среды, несовершенства полупроводниковых технологий. В работе был разработан аналоговый компаратор, в котором предложена новая схема на основе усилителя, работающего в двух режимах. За счет параметрической оптимизации значение отклонения напряжения было улучшено с 7 мВ до значения, не превышающего 1 мВ в диапазоне технологических отклонений 4,5 сигма.

Ключевые слова: компаратор, смещение напряжения, ИС, отрицательная обратная связь.

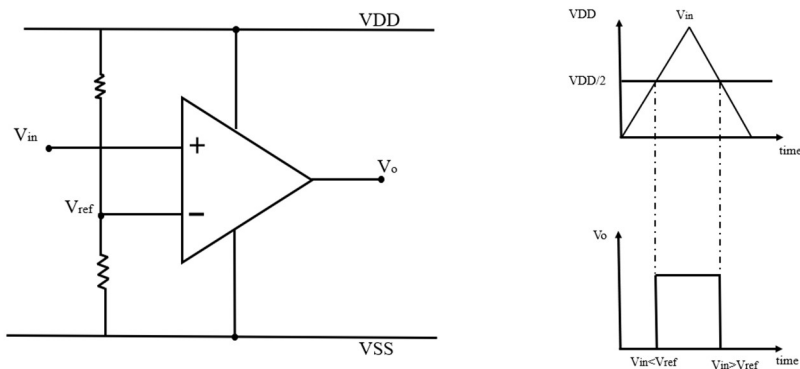
A.KH. MKHITARYAN, H.T. GRIGORYAN,
M.T. GRIGORYAN, V.D. HOVHANNISYAN,
A.A. AVESTISYAN
DESIGN OF LOW-OFFSET COMPARATORS FOR ANALOG
INTEGRATED CIRCUITS

In modern analog integrated circuits, the size of transistors reaches 3 nm. Accurate setting of parameters has become a serious problem in the design of such nanoscale structures, which depend on various factors: supply voltage, ambient temperature fluctuations, imperfections in semiconductor technologies. In this work, an analog comparator was developed, in which a new circuit based on an amplifier operating in two modes was proposed. Due to parametric optimization, the voltage deviation value was improved from 7 mV to a value not exceeding 1 mV in the 4.5 sigma process deviation range.

Key words: Comparator, offset voltage, IC, negative feedback:

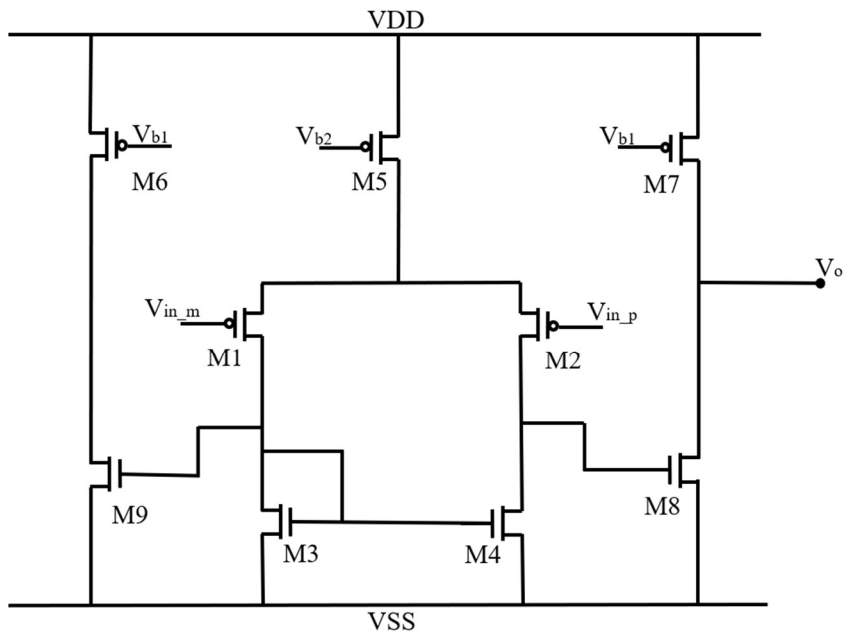
Ներածություն: Անալոգային համեմատիչներն [1] օգտագործվում են ժամանակակից կոմպլեմենտար մետաղ-օքսիդ-կիսահաղորդչային (ԿՄՕԿ) ինտեգրալ սխեմաների (ԻՄ) բազմաթիվ հանգույցներում՝ անալոգային լարումների համեմատման, անալոգաթվային ձևափոխությունների, փոխանցվող տվյալների գրանցման և այլ նպատակներով: Հաշվի առնելով այն փաստը, որ ներկայումս ԻՄ-ների սնման լարման արժեքը նվազել է՝ հասնելով մինչև 1Վ-ի, փոխանցվող տվյալներն ունենում են միլիՎոլտերի հասնող ամպլիտուդ: Նման փոքր բացվածքով ազդանշանների ճշգրիտ գրանցման համար կիրառվող համեմատիչների զգայունությունը չպետք է գերազանցի 1-2մՎ-ը:

Համեմատիչի նիշը և ֆունկցիոնալ նկարագրությունը ներկայացված է նկ.1-ում:



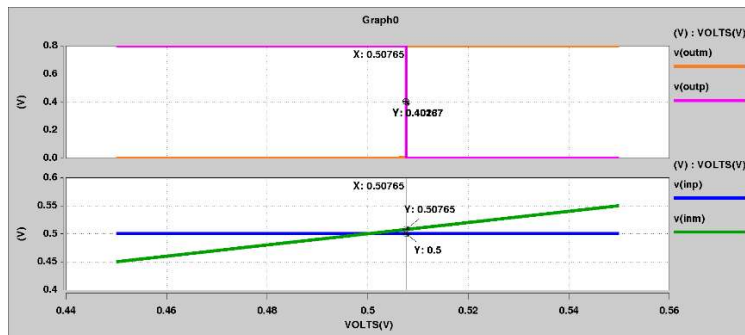
Նկ. 1

Ներկայումս կիրառվում են համեմատիչների մի շարք հայտնի ճարտարապետություններ: Դրանցից ամենատարածվածն օպերացիոն ուժեղարարի հիման վրա համեմատիչի սխեման է: Նկ. 2-ում ներկայացված է երկկասկաղ օպերացիոն ուժեղարարի հիման վրա համեմատիչի սխեման:



Նկ. 2

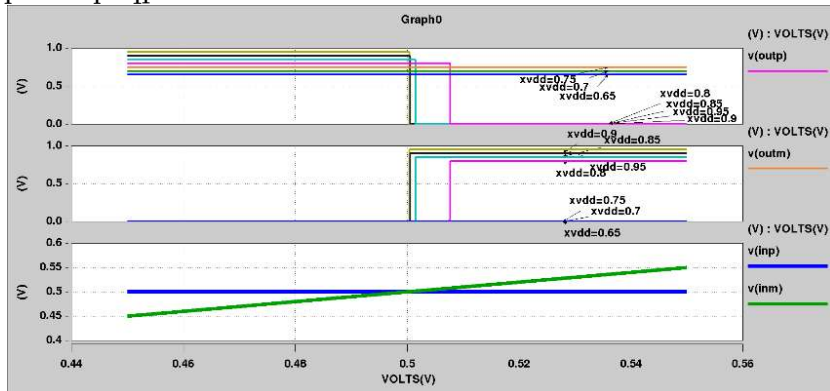
«Մինոփսիս» ընկերության CustomCompiler ծրագրային միջոցով իրականացվել է այս ճարտարապետության սխեմատիկական նախագծում և մոդելավորում HSPICE ծրագրային գործիքով [2]: Նկ.3-ում ներկայացված են մոդելավորման արդյունքները:



Նկ. 3

Խնդրի դրվածքը և առաջարկվող լուծումը: SAED14nm FinFet տեխնոլոգիական գործընթացով կատարված մոդելավորման արդյունքներից պարզ է դարձել, որ նման ճարտարապետությամբ համեմատիչների նվազագույն զգայունությունը գերազանցում է 7մՎ-ը, ինչը չի բավարարում ժամանակակից ԻՍ-ների առաջադրվող տեխնիկական պահանջները: Միաժամանակ իրականացվել է համեմատիչի զգայունության՝ սնման լարման արժեքից կախվածության հետազոտություն: Հետազոտության արդյունքները

ներկայացված են նկ.4-ում: Ինչպես երևում է ստացված արդյունքներից, համեմատիչը կորցնում է ֆունկցիոնալությունը սնման լարման 0.75Վ և ավելի ցածր արժեքների դեպքում, մինչդեռ ժամանակակից ԿՄՕԿ ԻՍ-ները պարտավոր են պահպանել իրենց ֆունկցիոնալությունը ընդհուպ մինչև 0.7Վ սնման լարման դեպքում:



Նկ. 4

Առաջադրված խնդրի լուծման համար մշակվել է անալոգային համեմատիչի նոր ճարտարապետություն՝ հետևյալ լուծումներով.

- ցածր շեմային լարմամբ, 0.8Վ սնուցման լարումով աշխատող տրանզիստորները փոխարինվել են բարձր շեմային լարմամբ, 1.2Վ սնուցման լարումով տրանզիստորներով,

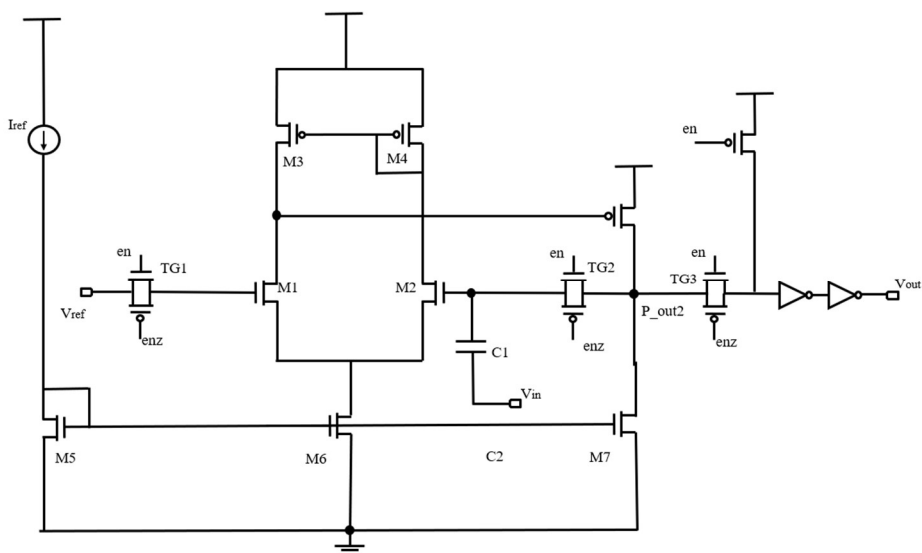
- ազդանշանի և համեմատիչի միջև տեղակայվել է մետաղական կոնդենսատոր, որն ապահովում է մուտքային ազդանշանի փոփոխության տարածումը դեպի համեմատիչի մուտք՝ անկախ այդ ազդանշանի հաստատուն բաղադրիչի արժեքից,

- համեմատիչն աշխատում է երկու աշխատանքային ռեժիմներում, որոնցից առաջինում այն գտնվում է բացասական հետադարձ կապի մեջ, և երկու մուտքերի լարումները հավասարվում են միմյանց, իսկ երկրորդ ռեժիմում տեղի է ունենում մուտքային ազդանշանի փոփոխության գրանցում:

Առաջարկվող ճարտարապետությանը համապատասխանող սխեման ներկայացված է նկ.5-ում:

Առաջին՝ բացասական հետադարձ կապի ռեժիմն ապահովվում է հետևյալ հաջորդականությամբ.

1. en ազդանշանին տրվում է տրամաբանական '1' արժեք,
2. բացվում է TG1 բանալին, և համեմատիչի դրական՝ Vin մուտքում գրանցվում է հենակային լարման արժեքը,
3. բացվում է TG2 բանալին, որի արդյունքում Vout – P_out2 – TG2 – M2 շղթայով իրականացվում է բացասական հետադարձ կապը:



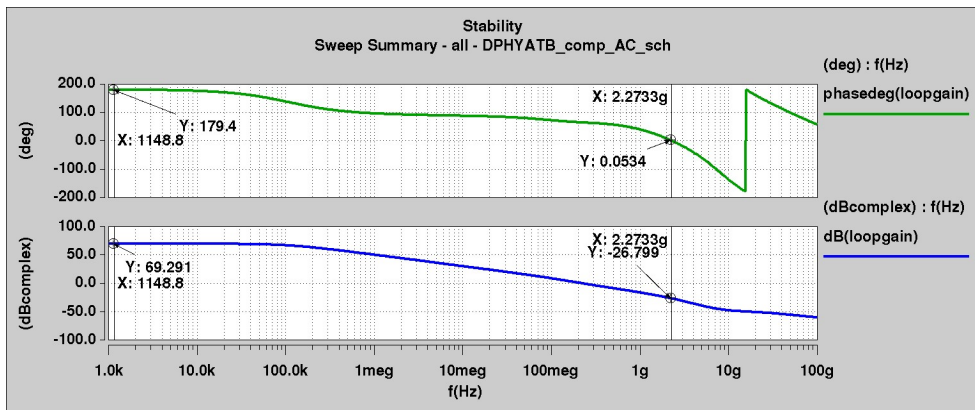
٧٤. 5

Երկրորդ համեմատման ռեժիմն ապահովվում է հետևյալ հաջորդականությամբ.

1. en ազդանշանին տրվում է տրամաբանական '0' արժեք,
2. փակվում է TG1 բանալին, և համեմատիչի դրական Vin մուտքում պահպանվում է նախկինում գրանցված հենակային լարման արժեքը: Համեմատիչի դրական մուտքը անցնում է բարձր դիմադրության ռեժիմ, որի շնորհիվ հնարավորություն է ստեղծվում՝ բացառելու բոլոր տեսակի դինամիկ փոփոխությունների ազդեցությունը համեմատման ճշգրտության վրա,
3. C1 – Vin շղթայով տեղի է ունենում մուտքային ազդանշանի գրանցում համեմատիչի բացասական մուտքում,

4. կախված ազդանշանի՝ նախորդ արժեքի նկատմամբ փոփոխության նշանից՝ համեմատիչի ելքում գրանցվում է տրամաբանական՝ 0՝ կամ՝ 1՝ արժեք:

Առաջին հետադարձ կապի ռեժիմի անխափան աշխատանքի իրականացման նպատակով հարկավոր է ապահովել ուժեղացման գործակցի և փուլի պաշարի համապատասխան արժեքներ: Մոդելավորման արդյունքները ներկայացված են նկ.6-ում, որից հետևում է, որ հետադարձ կապով շղթան աշխատում է հուսալի, ուժեղացման գործակցի պաշարը հավասար է 27db փուլի պաշարը՝ 65 աստիճանի, իսկ ուժեղացման գործակիցը 70db է՝ կտրման 1ՄՀց տիրույթով:



Նկ. 6

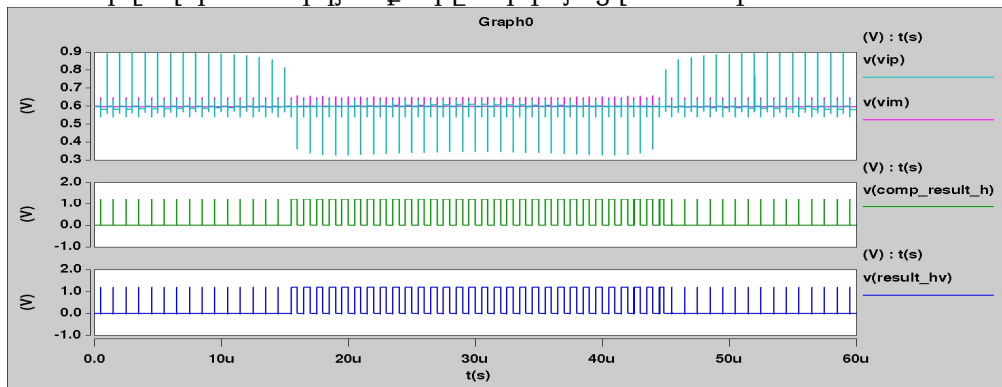
Երկրորդ՝ համեմատման ռեժիմն իրականացված է լիցքերի պահպանման օրենքին համապատասխան և ներկայացվում է ըստ (1)-ի.

$$q = \begin{cases} C_{\text{d}} * (V_{\text{ref}} - (V_{\text{in}} \pm \Delta V_{\text{in}})) \\ C_{\text{d}} * (V_{\text{inm}} - V_{\text{in}}) \end{cases} \quad (1)$$

Հավասարեցնելով երկու արտահայտությունները միմյանց համեմատման ռեժիմում գտնվող համեմատիչի բացասական մուտքի լարման համար կստանանք (2) արտահայտությունը.

$$V_{\text{inm}} = V_{\text{ref}} - (\pm \Delta V_{\text{in}}) \quad (2)$$

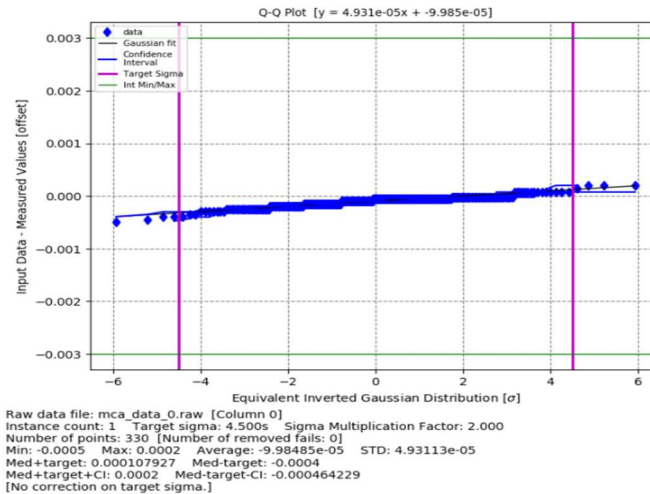
Մյուս կողմից, քանի որ համեմատիչի մյուս՝ դրական մուտքին կիրառված է V_{ref} լարում, համեմատման ռեժիմում կատարվում է երկու մուտքերի լարումների համեմատություն. եթե ΔV_{in} լարումը բացասական է, համեմատիչի ելքն ընդունում է տրամաբանական '1' արժեք, հակառակ դեպքում՝ '0': Համեմատիչի HSPICE մոդելավորման արդյունքները ներկայացված են նկ.7-ում:



Նկ. 7

Տեխնոլոգիական շեղումների նկատմամբ կայունության հետազոտման նպատակով իրականացել է MonteCarlo մոդելավորում: Մոդելավորման

արդյունքները ներկայացված են նկ. 8-ում՝ Q-Q դիագրամի տեսքով: Վերջինից պարզ է դառնում, որ նախագծված համեմատիչի լարման շեղման արժեքը չի գերազանցում 1σ -ը՝ $\pm 4,5\sigma$ շեղումների տիրույթում:



Նկ. 8

Եզրակացություն: Աշխատության շրջանակներում մշակվել է անալոգային ինտեգրալ սխեմաներում ցածր լարման շեղմամբ համեմատիչի նոր ճարտարապետություն, SAED14nm FinFet տեխնոլոգիական գործընթացով իրականացվել է սխեմատեխնիկական նախագծում, և HSPICE մոդելավորման արդյունքներով հաստատվել է առաջարկված լուծման բարձր արդյունավետությունը ու համապատասխանությունը ժամանակակից ԿՍՕԿ ԻՍ-ներին առաջադրվող տեխնիկական պահանջներին:

Գրականություն

1. V. Sh. Melikyan et al., "Low Power, Low Offset, Area Efficient Comparator Design in Nanoscale CMOS Technology," 2018 IEEE East-West Design & Test Symposium (EWDTS), Kazan, 2018, pp. 1-5, doi: 10.1109/EWDTS.2018.8524737.
2. Hspice Reference Manual, Synopsys Inc.- 2017. -846p.
3. Razavi B. Design of Analog CMOS Integrated Circuits. - Mc Graw Hill India, 2nd edition, 2017. – 782p.

Հոդվածը տպագրության է երաշխավորել խմբագրական խորհրդի անդամ, ֆ.մ.գ.թ. Գ. Հ.Սահակյանը: