

Գ.Ա. ՀԱՐՈՒԹՅՈՒՆՅԱՆ

ՏԱՐԱԲՆՈՒՅԹ ՊՐՈՑԵՍՈՐԱՅԻՆ ԻՆՏԵԳՐԱԼ ՄԽԵՄԱՆԵՐԻ ՀԱՄԱՏԵՂ
ԱՇԽԱՏԱՆՔԻ ԱՊԱՀՈՎՄԱՆ ՄԵԹՈԴ

Տարաբնույթ պրոցեսորային ինտեգրալ սխեմաների աշխատանքի համատեղմամբ համակարգերը, որոնք ներառում են ընդհանուր նշանակության պրոցեսորային միջուկներ, գրաֆիկական պրոցեսորներ, հաշվարկների արագացման համար նախատեսված միջուկներ և այլն, ներկայումս համարվում են շատ հեռանկարային, քանի որ միաժամանակ ապահովում են գերբարձր արագագործություն և ցածր էներգասպառում: Նման համակարգերում կիրառական ծրագրային փաթեթների բարձր արդյունավետության ապահովման համար կարևոր է տարաբնույթ պրոցեսորային ինտեգրալ սխեմաների աշխատանքը զուգահեռականացնող թարգմանիչի առկայությունը: Առաջարկվում է նմանատիպ համակարգերի հետ համագործակցող թարգմանիչի ստեղծման մեթոդ, որն ապահովում է համակարգի բարձր արտադրողականություն և ցածր էներգասպառում:

Առանցքային բառեր. պրոցեսորային միջուկ, ինտեգրալ սխեմա, թարգմանիչ, զուգահեռականացում, համատեղ աշխատանք:

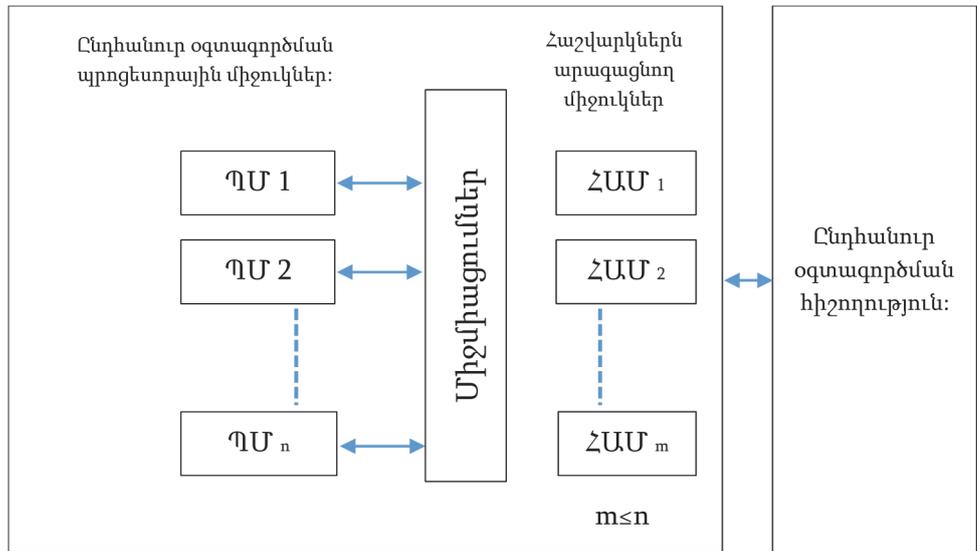
Ներածություն. Վերջին տարիներին մշակվել են բազմաթիվ տարաբնույթ պրոցեսորային ինտեգրալ սխեմաների աշխատանքի համատեղմամբ համակարգեր (ՏՊԻՄԱՀՀ) [1]: Սակայն ՏՊԻՄԱՀՀ-երում իրականացվող կիրառական ծրագրերի կատարման զուգահեռականացումը չափազանց աշխատատար է և բարդ: Այդ պատճառով նման համակարգերում ընդգրկված բազմաթիվ պրոցեսորային միջուկների աշխատանքի միաժամանակականացման համար վերջիններիս աշխատանքը զուգահեռականացնող թարգմանիչի (ԶԹ) մշակման անհրաժեշտություն է առաջացել: Այն կարող է, տվյալների փոխանցման վերադրումները հաշվի առնելով, հաջորդաբար կատարվող առաջադրանքները ավտոմատ եղանակով զուգահեռականացնել: Այդպիսի ԶԹ-ի առկայությունը էապես կնվազեցնի ՏՊԻՄԱՀՀ-ի կիրառական ծրագրային ապահովման մշակման համար անհրաժեշտ ժամանակը: ՏՊԻՄԱՀՀ-ի ԶԹ-ն կարող է պլանավորել և կազմակերպել տարաբնույթ պրոցեսորային միջուկներով իրականացվող առաջադրանքների կատարման ժամանակացույցը:

ՏՊԻՄԱՀՀ-ի ԶԹ-ների ստեղծման կարևորության մասին է վկայում այն հանգամանքը, որ ներկայումս այդ ուղղությամբ իրականացվում են ինտենսիվ աշխատանքներ: Օրինակ, [2]-ում առաջարկվել է ռեսուրսների հասանելիության սահմա-

նափակմամբ առաջադրանքների պլանավորում՝ էվրիստիկ ալգորիթմներ: Սակայն դրանք չեն բավարարում ՏՊԻՄԱՀՀ-ի ՁԹ-ներին ներկայումս առաջադրվող պահանջները, քանի որ դրանք անհրաժեշտ աստիճանի չեն զուգահեռականացնում գործընթացները:

Ուստի առաջարկվում է տարաբնույթ պրոցեսորային ինտեգրալ սխեմաների համատեղ աշխատանքի ապահովման մեթոդ, որն իրագործվել է ՁԹ-ի տեսքով և հիմնված է պրոցեսորային միջուկներով կատարվող առաջադրանքների ստատիկ պլանավորմամբ զուգահեռականացման վրա:

Տարաբնույթ պրոցեսորային ԻՄ-երի համատեղ աշխատանքն ապահովող համակարգի ճարտարապետությունը: Առաջարկվող զուգահեռ թարգմանության մեթոդում ՁԹ-ն ընդհանուր օգտագործման պրոցեսորային միջուկները խմբավորում է այնպես, որ հնարավոր լինի առավելագույնս արդյունավետ իրագործել հիերարխիական զուգահեռականացումը: Պրոցեսորային միջուկների այսպիսի խմբավորման ժամանակ հաշվարկներն արագացնող միջուկները չեն ընդգրկվում ընդհանուր օգտագործման պրոցեսորային միջուկների խմբում: Դա ՁԹ-ին հնարավորություն է ընձեռում լավարկել հաշվարկներն արագացնող միջուկների հասանելիությունը նույնիսկ այն դեպքում, երբ դրանց քանակն ավելի փոքր է ընդհանուր օգտագործման պրոցեսորային միջուկների թվից: Այնուհետև ՁԹ-ն կիրառում է ՏՊԻՄԱՀՀ-ի համար հարմարեցված ստատիկ պլանավորման եղանակը և առաջադրանքների կատարման ժամանակահատվածների վերաձաձկումներ հաշվի առնելով՝ օպտիմալացնում է տվյալների փոխանցման ժամանակները: Մշակված ՏՊԻՄԱՀՀ-ի ճարտարապետությունում (նկ.1) հաշվարկների արագացման համար նախատեսված յուրաքանչյուր միջուկին համապատասխանեցվում է պարզագույն պրոցեսորային միջուկ, որը կառավարում է այն: Այդ կառավարող միջուկը հնարավոր է դարձնում միջուկներով կատարվող առաջադրանքների տարանջատումն այնպես, որ դրանք կարողանան կատարվել հաշվարկներն արագացնող միջուկների միջոցով: Այդ հանգամանքն էլ հնարավոր է դարձնում ստատիկ պլանավորման կիրառումը: Բացի այդ, ՏՊԻՄԱՀՀ-ի յուրաքանչյուր միջուկ ունի հիշողության նույն ճարտարապետությունը: Հիշող սարքերի նման միատեսակությունը հնարավոր է դարձնում ստատիկ պլանավորման իրականացումը՝ միաժամանակ ՁԹ-ի միջոցով օպտիմալացնելով հիշողությունը և տվյալների հաղորդումը:

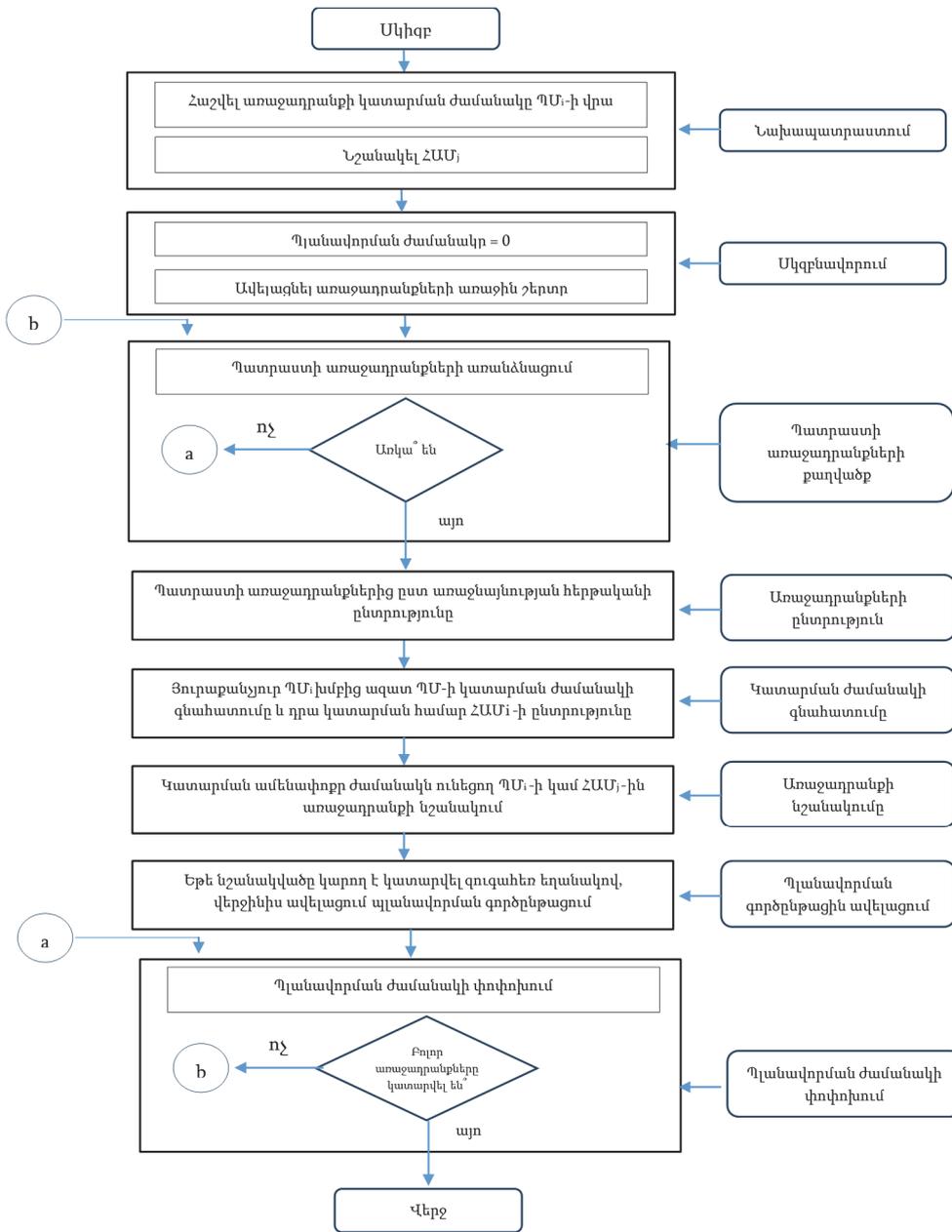


Նկ. 1. ՏՊԻՍԱՀՀ-ի ճարտարապետությունը

Առաջարկված ՏՊԻՍԱՀՀ-ի ճարտարապետությունում (նկ. 1) առկա են բազմաթիվ ընդհանուր օգտագործման պրոցեսորային միջուկներ (ՊՄ), որոնք միջմիացումների միջոցով փոխգործակցում են հաշվարկներն արագացնող միջուկների (ՀԱՄ) հետ, իսկ հիշողությունն ընդհանուր օգտագործման է:

Առաջարկվող մեթոդը: Տարաբնույթ պրոցեսորային ԻՍ-երի համատեղ աշխատանքն ապահովող համակարգում առաջադրանքների պլանավորման մեթոդը.

Առաջարկվող պլանավորման մեթոդում (նկ. 2) հաշվի են առնվում կատարվող առաջադրանքների, ՊՄ-երի և ՀԱՄ-երի բնութագրերն ու պարամետրերը: Որոշ առաջադրանքներ կարող են տրվել ՀԱՄ-երին, բայց հնարավոր է նաև այնպիսի առաջադրանքների առկայություն, որոնք հնարավոր չէ առաջադրել ՀԱՄ-երին: Նմանատիպ առաջադրանքները առաջադրվում են ՊՄ-երին: Ի տարբերություն ՀԱՄ-երի՝ ՊՄ-երին կարող են տրվել բոլոր տիպերի առաջադրանքները: Դեպքերի մեծ մասում հնարավոր է լինում առաջադրանքների տալը ՀԱՄ-երին: Որքան այդպիսի դեպքերի մասնաբաժինը ընդհանուրում մեծ է, այնքան ավելի բարձր է առաջարկվող մեթոդի արդյունավետությունը, այսինքն՝ այնքան ավելի փոքր է բոլոր առաջադրանքների կատարման ընդհանուր ժամանակը:



Նկ. 2. ՏՊԻՄԱՀՀ-ի պլանավորման մեթոդը

Առաջարկված ՏՊԻՄԱՀՀ-ի պլանավորման մեթոդում (նկ. 2) տվյալների հաղորդման ավարտի $t_{տհ}$ պահը և առաջադրանքի կատարման ավարտի $t_{տկ}$ պահը որոշվում են հետևյալ կերպ՝

$$t_{uh} = \max(t_{up}, \max[t_{um}]) , \quad (1)$$

$$t_{uq} = \max(t_{uq}, t_{up}) + \sum_{i=1}^k t_{uqi} + \sum_{j=1}^l t_{uhj} , \quad (2)$$

որտեղ t_{uq} -ն տվյալների բեռնավորման, t_{um} -ն տվյալների ուղարկման, t_{uq} -ն տվյալների ազատման, t_{uqi} -ն i -րդ առաջադրանքի կատարման, t_{uhj} -ն j -րդ ՀԱՄ-երով տվյալների հաղորդման ժամանակներն են, k -ն՝ կատարվող առաջադրանքների, l -ը՝ ՀԱՄ-երի քանակները:

Փորձարարական արդյունքները. Մշակված մեթոդը փորձարկվել է ՏՊԻՄԱՀՀ-ի մի քանի օրինակների միջոցով, որոնք պարունակում են համապատասխանաբար 8, 16 և 32 ՊՄ-եր և 4, 10, 12 ՀԱՄ-եր: Առաջարկված մեթոդի կիրառման պարագայում միապրոցեսորային համակարգի համեմատ ստացվել է մեքենայական ժամանակի համապատասխանաբար 8,56 14,05 և 23,19 անգամ փոքրացում:

Եզրակացություն. Տարբնույթ պրոցեսորային ինտեգրալ սխեմաների համատեղ աշխատանքի ապահովման մշակված մեթոդը և զուգահեռականացնող թարգմանիչն ապահովում են առաջադրանքների կատարման ժամանակի մինչև մի քանի տասնյակ անգամ փոքրացում:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Topcuoglu, H., Hariri, S., Wu, M.Y.** Performance-effective and low-complexity task scheduling for heterogeneous computing // IEEE Transactions on Parallel and Distributed Systems. -2022. -13.-P. 260-274.
2. Multigrain parallel processing on compiler cooperative chip multiprocessor / **K. Kimura, Y. Wada, H. Nakano, T. Kodaka, et al** // Proceedings of the 9th Annual Workshop on Interaction between Compilers and Computer Architectures. -2024-P.II-20

Հայաստանի ազգային պոլիտեխնիկական համալսարան: Նյութը ներկայացվել է խմբագրություն 03.06.2025:

Г.А. АРУТЮНЯН

МЕТОД ОБЕСПЕЧЕНИЯ СОВМЕСТНОЙ РАБОТЫ РАЗНОТИПНЫХ ПРОЦЕССОРНЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Системы, основанные на интеграции разнотипных процессорных интегральных схем, которые включают процессорные ядра общего назначения, графические процессоры, ядра для ускорения вычислений и др., в настоящее время считаются весьма перспективными, так как одновременно обеспечивают сверхвысокую производительность и низкое энергопотребление. В таких системах для обеспечения высокой эффек-

тивности прикладных программных пакетов важное значение имеет наличие компилятора, параллелизирующего работу разнотипных процессорных интегральных схем. Предлагается метод создания такого компилятора, взаимодействующего с подобными системами и обеспечивающего высокую производительность системы при низком энергопотреблении.

Ключевые слова: процессорное ядро, интегральная схема, компилятор, параллелизация, совместная работа.

G.A. HARUTYUNYAN

A METHOD FOR ENSURING THE JOINT OPERATION OF HETEROGENEOUS PROCESSOR INTEGRATED CIRCUITS

Systems based on the integration of heterogeneous processor integrated circuits, which include general-purpose processor cores, graphics processors, computation acceleration cores, and others, are currently considered highly promising, as they provide both ultra-high performance and low energy consumption. In such systems, to ensure high efficiency of application software packages, the presence of a parallelizing compiler for heterogeneous processor integrated circuits is of great importance. A method is proposed for creating a compiler that collaborates with such systems, ensuring high system performance and low energy consumption.

Keywords: processor core, integrated circuit, compiler, parallelization, joint operation.