

UDC 621.3.049

MICROELECTRONICS

DOI: 10.53297/0002306X-2024.v77.4-502

A.Kh. GEVORGYAN

**THE LATENCY IMPROVEMENT METHOD FOR HIGH-SPEED SERDES
CLOCK-DATA RECOVERY LOOP**

High-speed serializer/deserializer (SerDes) systems are essential for enabling rapid and reliable data transfer in modern digital communication interfaces. Central to their operation is the clock and data recovery (CDR) circuit, which reconstructs a clean sampling clock from incoming serial data streams to ensure accurate data interpretation. Among various architectures, dual-loop CDRs combining both frequency and phase tracking loops have become prominent for their ability to handle frequency offsets and maintain precise phase alignment. The timing characteristics within these CDR loops, including synchronization between digital control signals and clock domains, play a critical role in overall performance. Improper timing management can introduce jitter, glitches, or metastability, directly impacting the bit error rate and reliability of high-speed links. Thus, careful attention to timing such as the use of synchronizing elements like D-latches is vital for robust, low-jitter CDR operation in high-speed SerDes applications. While a D-latch is commonly employed to synchronize and stabilize the transfer of digital control codes from the CDR loop to the phase mixer (PMIX), its use introduces certain drawbacks like timing errors in the loop. This is the potential cause of BER degradation which is a crucial parameter to meet the industry compliance standards. The usage of the proposed method improves jitter tolerance resulting in an additional design logic and in a negligible area increase.

Keywords: SerDes, latency, jitter, phase mixer, BER, receiver, D-latch.

Introduction. High-speed electrical serial links are at the core of modern data center and server architectures, enabling the massive data throughput required for energy-proportional computing. As the demand for bandwidth grows, contemporary systems increasingly rely on serializer/deserializer (SerDes) architectures that support per-lane data rates reaching multi-gigabit per second operation speeds leading the clocking scheme to become the dominant factor of power consumption in high-speed transceivers [1]. In a typical SerDes setup, the transmitter (Tx) converts parallel data into a high-speed serial stream using a clock generated by a phase-locked loop (PLL). This serial data traverses a lossy backplane or copper channel, where it suffers from signal degradation and inter-symbol interference (ISI). At the receiver (Rx) in high-speed SerDes systems, the critical stages for ensuring reliable data transmission are the blocks responsible for data equalization such as CTLE

(Continuous time linear equalizer), FFE, DFE and clock and data recovery (CDR) circuit. Data equalization is responsible for compensating for the channel-induced losses and inter-symbol interference (ISI) that occur as the signal travels through the backplane or copper cable. This process restores the integrity of the received waveform, opening the eye diagram and making the signal suitable for further digital processing. Following equalization, the CDR block extracts a clean sampling clock and recovers the transmitted data from the equalized but still potentially noisy signal. The performance of these stages directly impacts the overall bit error rate (BER) and timing accuracy of the SerDes link, as any residual distortion or timing misalignment can lead to data errors or increased jitter in the recovered clock.

Fig. 1 shows a block diagram of a typical high-speed serial-link (SerDes) [2] consisting of the main building blocks mentioned earlier.

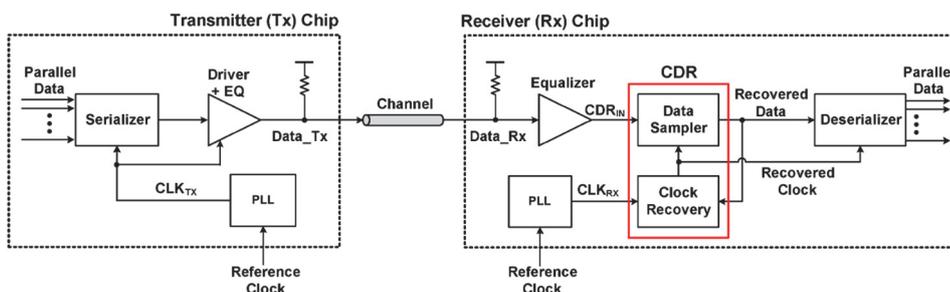


Fig. 1. Typical high-speed serial-link SerDes architecture

In modern high-speed SerDes receivers, digital CDR architectures are widely adopted to achieve robust clock recovery under multi-gigabit operation. In these digital approaches, the CDR is composed of two feedback paths: a frequency loop, which corrects long-term frequency offset between the transmitter and receiver clocks, and a phase loop, which provides fine-grained phase alignment to the incoming data stream.

The phase and frequency error signals are typically processed through digital proportional and integral accumulators, whose outputs reflect the necessary clock corrections. To interface with the analog domain, the filtered digital control word is converted to an analog signal by a current-steering digital-to-analog converter (IDAC). This analog signal directly controls the phase interpolator (PI) or phase mixer circuit (PMIX), which adjusts the phase of the recovered clock with high resolution. The PI thus acts as a finely tunable delay element, enabling precise clock alignment required for reliable data recovery at multi-gigabit rates.

This digital-to-analog signal path from the digital CDR logic, through the IDAC, to the PI/PMIX not only provides flexibility in loop design and programmability,

but also enables low-jitter, high-speed operation essential for contemporary data center and server applications.

The digital CDR model (Fig. 2) [3] consists of digital bang-bang phase detector, a frequency integrator, a phase integrator and a phase interpolator.

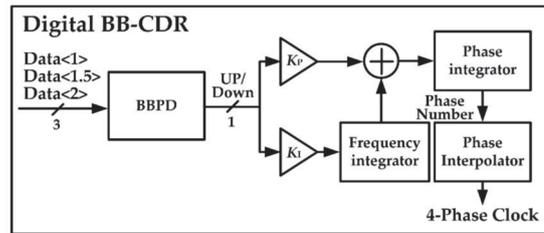


Fig. 2. The block diagram of the digital CDR

The CDR design. When designing such CDRs (Clock Data Recovery circuits), the D-latch placed at the output serves several important purposes that are crucial for ensuring reliable and stable operation. Primarily, the D-latch acts as a synchronization element, capturing the control signals generated within the loop at precise moments aligned with the system clock. This synchronization helps prevent glitches and transient disturbances from propagating downstream, which is especially vital at the high data rates characteristic of modern SerDes systems. Additionally, the latch provides a stable, consistent control input to the phase adjustment circuitry, thereby enhancing overall loop stability. By isolating the digital control logic from the analog domain, the D-latch also contributes to improved noise immunity and timing predictability.

The CDR loop presented along with the analog clock path (PMIX, ILO, ADC) in Fig. 3 consists of bang-bang phase detector, followed by D-latch feeding through the phase and frequency tracking loops, which are isolated from the analog clock path by using D-latch to avoid glitches when large code fluctuations occur resulting overall loop stability. Then the IDAC is used to pass the codes to the analog clocking.

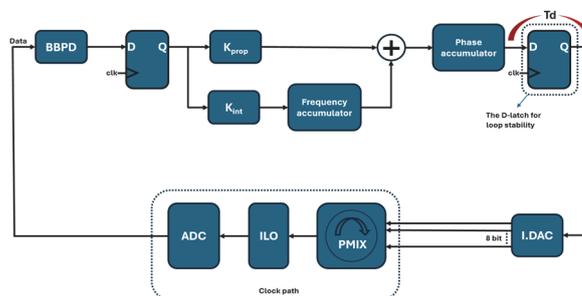


Fig. 3. CDR loop design

Problem description. By the use of D-latches the latency is introduced due to time-interleaved sampling [4] to the overall CDR loop. Therefore, it is important to consider certain trade-offs, such as potential added jitter and timing complexity because of additional latency introduced (T_d), which can impact the performance of the overall clock recovery system especially in high speed SerDes systems.

The proposed method. To address the additional jitter and latency problem introduced by the D-latch, the selective-latch method is proposed (Fig. 4).

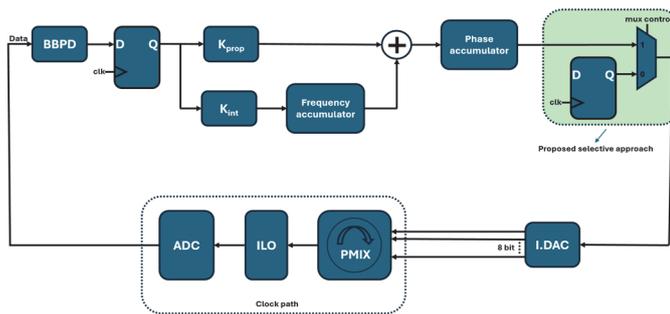


Fig. 4. The CDR loop with the proposed solution

This will allow us to remove a D-latch, hence its negative impact on the CDR loop when it is necessary.

In Fig. 5 we can see that the CDR needs to be locked at first when starting up and its output codes should be settled to some small code range. At this point we can say that the CDR is locked and all the BER and other measurements will be performed after that time point for reasonable results. And since the D-latch mainly filters large fluctuations as they occur at the beginning of the process, it we will have an option with the proposed solution to enable the D-latch path at the output to improve the loop stability and avoid large settling times.

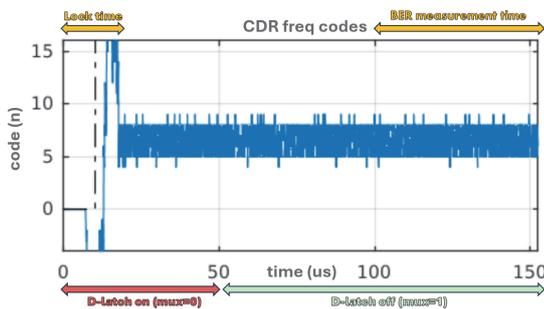


Fig. 5. The CDR output frequency codes

Simulation Results. To check the proposed method's impact on the system performance, the Matlab simulation is performed using the designed simulink

model of the system consisting of an approximated data transmitter and receiver (TX/RX) circuits and the designed CDR circuit, which also provides the ability to select between different channel models. This model allows to perform 20 times faster simulations resulting in 10% accuracy degradation.

The jitter tolerance (JTOL) measurements are performed to be able to evaluate the difference between the two approaches. The jitter tolerance is examined and the maximum input jitter at a given frequency that a CDR loop can tolerate is predicted [5].

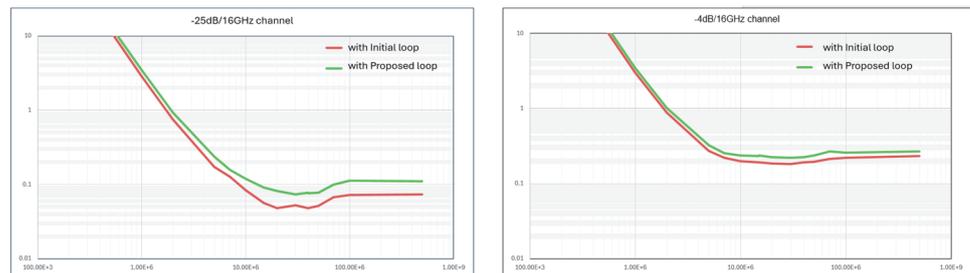


Fig. 6. The JTOL curve comparison for long and short channel cases

The JTOL curve comparison (Fig. 6) shows that disabling the D-latch after the CDR is locked results in an overall better curve. The simulations were performed with the long(-25dB) and short(-5dB) channel models to have a more broader picture of the improvement.

Conclusion. A CDR with controllable output path is proposed. The method improves the latency when the BER is measured, meanwhile allowing the use of the initial version to isolate the large code fluctuations at the CDR output with the D-latch while locking phase. This results in improvement in BER which translates to better jitter tolerance. The usage of the proposed method results in additional design logic change which causes a negligible area increase(<0.5%). The proposed method can be used in modern high speed SerDes systems where digital clock-data recovery is supported.

REFERENCES

1. 103 fJ/b/dB, 10–26 Gb/s Receiver With a Dual Feedback Nested Loop CDR for Wide Bandwidth Jitter Tolerance Enhancement / Y. -C. Liu, W. -Z. Chen, Y. -S. Lee, Y. -H. Chen, et al // IEEE Journal of Solid-State Circuits.- Oct. 2023.- Vol. 58, no. 10. -P. 2801-2811.
2. Heejae Hwang and Jongsun Kim. A 100 Gb/s Quad-Lane SerDes Receiver with a PI-Based Quarter-Rate All-Digital CDR // Electronics.-2020.-9(7).-1113, <https://doi.org/10.3390/electronics9071113>
3. A Digital Bang-Bang Clock and Data Recovery Circuit Combined with ADC-Based Wireline Receiver / Youzhi Gu, Xinjie Feng, Runze Chi, Jiangfeng Wu and Yongzhen Chen // Electronics.- 2022.-11(21).-3489, <https://doi.org/10.3390/electronics11213489>

4. **Kunal Yadav, Ping-Hsuan Hsieh and Aanthony Chan Carusone.** Loop Dynamics Analysis of PAM-4 Mueller–Muller Clock and Data Recovery System // 2022 IEEE Open Journal of Circuits and Systems.-2022.-Vol. 3.-P. 216-227.
5. **Hong D. and Cheng K. -T.** Bit-Error Rate Estimation for Bang-Bang Clock and Data Recovery Circuit in High-Speed Serial Links // 26th IEEE VLSI Test Symposium (vts 2008).-San Diego, CA, USA, 2008.-P. 17-22.

National Polytechnic University of Armenia. The material is received on 18.06.2025.

Ա.Խ. ԳԵՎՈՐԳՅԱՆ

ԱՐԱԳԱԳՈՐԾ SERDES ՀԱՍՄԿԱՐԳԵՐՈՒՄ ՏՎՅԱԼՆԵՐԻ ԵՎ ՏԱԿՏԱՅԻՆ ԱԶԴԱՆՇԱՆԻ ՎԵՐԱԿԱՆԳՆՄԱՆ ՇՂԹԱՅԻ ՀԱՊԱՂՄԱՆ ԲԱՐԵԼԱՎՄԱՆ ՄԵԹՈՂ

Արագագործ սերիալացնող/ապասերիալացնող (SerDes) համակարգերի դերը կարևոր է՝ ժամանակակից թվային հաղորդակցությունների ինտեգրացիայի արագ և հուսալի տվյալների փոխանցումն ապահովելու համար: Դրանց աշխատանքում գլխավոր դեր է կատարում տվյալների և տակտային ազդանշանի վերականգնման (CDR) շղթան, որը վերականգնում է մաքուր տակտային ազդանշան մուտքագրվող հաջորդական տվյալների հոսքերից՝ տվյալների ճշգրիտ ընթերցումն ապահովելու համար: Մի շարք տարբեր կառուցվածքներով շղթաներից առանձնանում է երկուղի CDR-ը, որն ունի և հաճախության, և փուլի փոփոխություններին հետևող առանձին ուղիներ, ինչը թույլ է տալիս շտկել հաճախության և փուլի շեղումները: Այս տիպի շղթաների ժամանակային պարամետրերը պահանջում են համապատասխանություն թվային կառավարման ազդանշանների և տակտային ազդանշանի միջև, ինչի հետևանքով կարևորվում է նրանց դերը ամբողջ շղթայի աշխատանքի արդյունավետության բարձրացման գործում: Ոչ ճշգրիտ ժամանակային կառավարումը կարող է առաջացնել ազդանշանի թրթռոցներ, շեղումներ կամ ոչ կայուն վիճակ, որոնք ուղղակիորեն ազդում են բիթային սխալանքի և արագագործ համակարգերի հուսալիության վրա: Ուստի ճշգրիտ ժամանակային կառավարումն իրականացվում է սինխրոնացնող տարրերի՝ Դ-սևեռիչի օգտագործմամբ, ինչը կարևոր է կայուն և փոքր թվով ազդանշանի թրթռոցներով CDR շղթայի աշխատանքի համար արագագործ SerDes համակարգերում: Դ-սևեռիչը սովորաբար կիրառվում է թվային կառավարման ազդանշանների սինխրոնացման և կայունության համար՝ փոխանցելով տվյալները CDR շղթայից փուլային խառնիչին (PMIX), սակայն դրա օգտագործումը կարող է առաջացնել որոշ թերություններ, ինչպիսիք են ժամանակային սխալները: Սա կարող է հանգեցնել բիթային սխալանքի վատթարացման, որը կարևոր չափանիշ է արդյունաբերության համապատասխանության ստանդարտների տեսանկյունից: Առաջարկվող մեթոդի կիրառումը բարելավում է ազդանշանի թրթռոցի թույլատրելի սահմանը, որի իրագործման համար պահանջվում է հավելյալ տրամաբանական տարրի օգտագործում՝ հանգեցնելով աննշան մակերեսի մեծացման:

Առանցքային բառեր. SerDes, հապաղում, ազդանշանի թրթռոց, փուլային խառնիչ, բիթային սխալանք, ընդունիչ հանգույց, Դ-սևեռիչ:

А.Х. ГЕВОРГЯН

**МЕТОД УЛУЧШЕНИЯ ЗАДЕРЖКИ ДЛЯ КОНТУРА ВОССТАНОВЛЕНИЯ
ТАКТОВЫХ ДАННЫХ В ВЫСОКОСКОРОСТНЫХ SERDES СИСТЕМАХ**

Высокоскоростные serializer/deserializer (SerDes) системы необходимы для обеспечения быстрого и надежного обмена данными в современных цифровых коммуникационных интерфейсах. В центре их работы находится контур восстановления тактовых данных (CDR), который восстанавливает чистый тактовый сигнал из входящих последовательных потоков данных для обеспечения точной интерпретации данных. Среди различных архитектур особое место занимают двухконтурные CDR-схемы, объединяющие контур отслеживания частоты и контур отслеживания фазы благодаря своей способности справляться с частотными смещениями и поддерживать точное фазовое выравнивание. Временные характеристики в этих CDR-схемах, включая синхронизацию между цифровыми управляющими сигналами и тактовым сигналом, играют критическую роль в общей производительности. Неправильное управление временем может привести к дрожанию сигнала, глюкам или метастабильности, что напрямую влияет на ошибки передачи (BER) и надежность высокоскоростных систем. Поэтому особое отношение к таймингу, например, использование синхронизирующих элементов, таких как Д-триггеров, является важным для стабильной работы CDR-схем с низким дрожанием сигнала в приложениях высокоскоростных SerDes. Хотя Д-триггеры обычно используются для синхронизации и стабилизации передачи цифровых управляющих кодов от CDR к фазовому миксеру (PMIX), это вводит определённые недостатки, такие как временные ошибки в контуре. Это может стать причиной ухудшения BER, что является важным параметром для соответствия отраслевым стандартам. Использование предлагаемого метода повышает толерантность к дрожанию сигнала, что приводит к добавлению логики в дизайн и к незначительному увеличению площади.

Ключевые слова: SerDes, задержка, дрожание сигнала, фазовый миксер, BER, приемный узел, Д-триггер.