

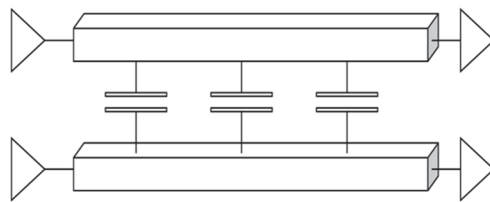
Գ.Ա. ԱԲԳԱՐՅԱՆ, Ա.Ա. ԳԱԼՍՏՅԱՆ, Գ.Ա. ՀԱՐՈՒԹՅՈՒՆՅԱՆ

ՄԻԽՐՈԱԶԴԱՆՇԱՆԱՅԻՆ ԾԱՌԻ ԼԱՎԱՐԿՄԱՄԲ ՓՈԽԱԶԴԵՑՈՒԹՅՈՒՆՆԵՐԻ
ՀԵՏԵՎԱՆՔՆԵՐԻ ԿՐՃԱՏՈՒՄԸ ԻՆՏԵԳՐԱԼ ՄԽԵՄԱՆԵՐՈՒՄ

Ինտեգրալ սխեմաների վերջին տարիներին զարգացմանը զուգընթաց դրանցում լարերի միջև փոխազդեցությունների դերը հնարավոր չէ հաշվի չառնել, քանի որ դրանք հանգեցնում են սխեմայի գործառական սխալների: Մշակվել է մեթոդ, որը թույլ է տալիս հաշվի առնել փոխազդեցությունների հետևանքները թվային ինտեգրալ սխեմաներում սինքրոնազանչանային ծառի կառուցման ընթացքում: Կատարվել են հիշասարքերի թեստավորման համակարգերում փոխազդեցությունների երևույթի հետազոտություն և նվազեցում՝ թեստավորման համակարգում սինքրոնազանչանային ծառի լավարկմամբ:

Առանցքային բառեր. ինտեգրալ սխեմա, փոխազդեցության երևույթ, հիշասարք, թեստավորման համակարգ, սինքրոնազանչան, ֆիզիկական նախագծում:

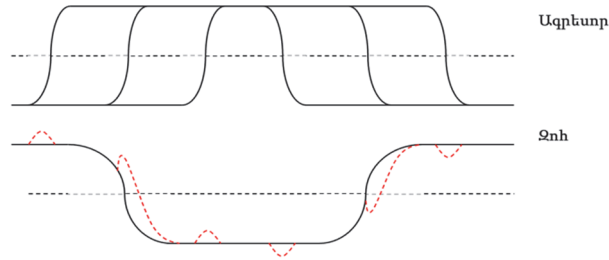
Ներածություն: Ինտեգրալ սխեմաների (ԻՄ) ներկայիս զարգացումները հանգեցրել են արագագործության կտրուկ մեծացման. թվային ԻՄ-ի սինքրոնազանչանը հասել է մինչև տասնյակ ԳՀ-երի, տարրերի չափերի փոքրացման՝ մինչև մեկ կամ մի քանի նմ-երի, խտության մեծացման՝ մինչև մոտավորապես 150 միլիոն տրանզիստորների 1 սմ² մակերեսում [1]: Արագագործության մեծացման հետ փոքրանում է ազդանշանների փոխանցատման ժամանակը, իսկ խտության մեծացումը հանգեցնում է իրար մոտիկ, զուգահեռ լարերի միջև հեռավորության փոքրացման: Վերջինս հանգեցնում է ԻՄ-ում պարագիտային ունակությունների մեծացմանը (նկ. 1):



Նկ. 1. Մխեմայում միջմացումների միջև պարագիտային ունակությունները

ԻՄ-ում մի լարի վրա ազդանշանի (ազդեատրի) փոփոխությունը ազդում է այլ միջմիացման (զոհի) վրա (նկ. 2): Ազդեատրի վիճակի փոփոխությունը հանգեցնում է զոհ ազդանշանի աղավաղման, մինչև իսկ տրամաբանական վիճակի փոփոխության [2]: Վերը նշված պայմաններում ազդեատրների թիվը, ինչպես նաև դրանց ազդեցությունը զոհ ազդանշանների վրա ավելանում է: Հետևաբար՝ իրար մոտիկ, զուգահեռ լարերի միջև փոխազդեցությունների դերը ԻՄ-երի նախագծման ժամանակ դառնում է որոշիչ: Վերջինիս հաշվի չառնելը կարող է հանգեցնել նույնիսկ որակական սխալ արդյունքների [2]:

Ուրեմն ֆիզիկական նախագծումը պետք է հաշվի առնի ազդանշանի փոփոխությունը և դրա աղավաղումը, իսկ նախագծման ստուգումը պետք է ներառի այդ երևույթները:



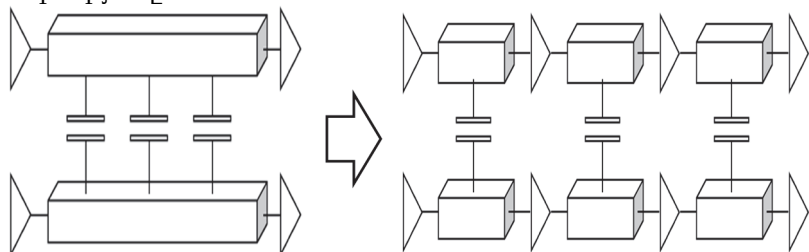
Նկ. 2. Ազդեստորի վիճակի փոփոխության ազդեցությունը զոռի վրա

Լարերի միջև նշված փոխազդեցությունները հատկապես կարևոր են հիշատակարարներում, քանի որ ներկայումս դրանք զբաղեցնում են ամբողջ ԻՄ-ի մոտավորապես 80...95% և արտադրվում են տարրերի նվազագույն կարգավորելիությամբ: Հետևաբար, շատ մեծ է դրանց թեստավորման անհրաժեշտությունը, որի ամենաարդյունավետ լուծումներից են ներդրված ինքնաթեստավորման համակարգերը [3]:

Այս խնդիրների լուծման նպատակով մշակվել են նախագծման մեթոդներ [4-7], որոնք կիրառվում են բարձր հաճախություններում աշխատող ԻՄ-երում լարերի միջև փոխազդեցությունները նվազեցնելու համար:

Այդ մեթոդներից է կրկնիչների օգտագործումը: Սխեմաներում դիմադրությունների և ունակությունների չափսերի գծային մեծացման հետ միաժամանակ փոխազդեցություններով պայմանավորված հապաղումը աճում է մոտավորապես 4 անգամ: Կրկնիչները հենց օգտագործում են փոխազդեցության հապաղման կրճատման և ազդանշանների փոփոխությունների լավարկման համար (նկ. 3):

Կրկնիչների օգտագործմամբ սխեմայում հապաղումները դառնում են գծային, քանի որ դրանք սխեման բաժանում են փոքր հատվածների: Հապաղումները կրճատելու համար առաջարկվել է կրկնիչի օգտագործման հատուկ ձև [4]: Օգտագործելով Շիչման-Հոջեսի հավասարումների գծային մոդելը [5]՝ որոշվում են սխեմայում կրկնիչների տեղադրման հարմար դիրքերը: Չնայած կրկնիչի տեղադրման միջոցով նվազեցվում է սխեմայի հապաղումը և հզորությունը, միևնույն ժամանակ դրանց աճող թիվը նվազեցնում է սխեմայի արագությունը և ֆունկցիոնալ հաճախությունը:

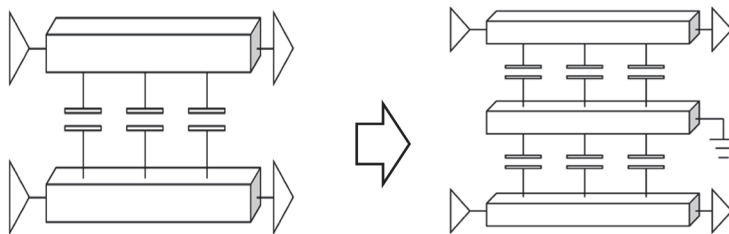


Նկ. 3. Կրկնիչների օգտագործմամբ միջմիացման փոփոխությունը

Մեկ այլ մեթոդ է էկրանավորումը: Իրար մոտ գտնվող լարերի միջև փոխազդեցությունները մեղմելու միջոցներից մեկը բարձրահաճախական գծերի միջև հեռավորության մեծացումն է, սակայն դա հանգեցնում է սխեմաներում չօգտագործվող տարածքների ավելացման:

Այդպիսի խնդիրներից խուսափելու համար օգտագործում են ինֆորմացիան լարերի միջև պաշտպանիչ լարերի ներդրումը, որը հայտնի է «էկրանավորում» տերմինով [6]: Այն թույլ է տալիս նվազեցնել ազդանշանների հապաղումները, ինչպես նաև բարձրացնում է սխեմայի աղմկակայունությունը (նկ. 4) [7]:

Էկրանավորման եղանակներից մեկն է բարձրահաճախական գծերի միջև 3-րդ գծի ավելացումը, որը միացված կլինի ուղիղ սխեմայի սնուցմանը կամ 0-ական կետին:



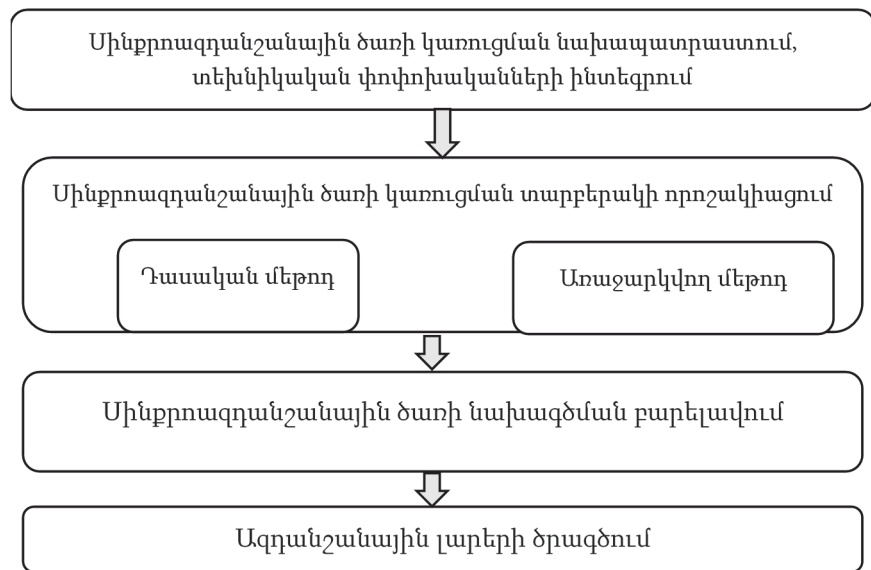
Նկ. 4. Էկրանավորման միջոցով միջմիացման փոփոխությունը

Առաջարկվող մեթոդիկա: Աշխատանքի նպատակն է հիշասարքերի ներդրված թեստավորման համակարգերում լարերի միջև փոխազդեցությունների հետազոտությունը և նվազեցումը՝ թեստավորման համակարգում սինքրոազդանշանային ծառի լավարկմամբ:

Ֆիզիկական նախագծման իրականացման մեջ կան երեք հիմնական փուլեր. տեղաբաշխման և տրամաբանության լավարկում, սինքրոազդանշանային ծառի սինթեզ և միջմիացումների լավարկում: Սինքրոազդանշանային ծառի սինթեզը մեկն է կարևոր քայլերից, քանի որ այն ինտեգրալ սխեմայում սպառում է ընդհանուր էներգիայի առնվազն 30%-ը, իսկ ավելի բարձր արագագործությամբ սխեմաների համար էներգիայի սպառումը կարող է լինել ընդհանուր էներգիայի 50%-ը: Հիշտ սինքրոազդանշանային ծառի կառուցումը կբավարարի ոչ միայն ժամանակային պարամետրերի պահանջները, այլև կնվազեցնի էներգիայի սպառումը, ինչպես նաև կլուծի հաջորդ փուլում կատարվող երթուղիների խտությունն առաջացնող խնդիրները [8]:

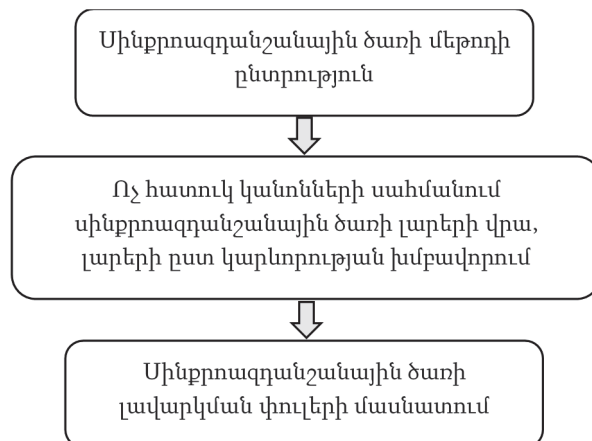
Խնդրի դրվածքը և մեթոդիկայի հիմնավորումը: Ավտոմատացված նախագծման երթուղով (նկ. 5) նախագծում իրականացնելիս հատակագծման նախագծման քայլերը, սնուցման ցանցի պլանավորումը և ստանդարտ բջիջների տեղաբաշխումը հաշվի են առնվում՝ խուսափելու համար սինքրոազդանշանային ծառի նախագծման ընթացքում ժամանակային պարամետրերի խախտումներից [9]: Բազմակի ռեժիմ-բազմաթիվ անկյուններում նախագծում իրականացնելիս սինքրոազդանշանն ունի ստացվող պարամետրերի բազմաթիվ տարբերություններ՝ կախված անկյունի ընտրությունից, ինչը հանգեցնում է ազդանշանի ժամանակա-

յին շեղման, որը նկատվում է ժամանակային բազմաթիվ պարամետրերում [10, 11]: Առաջարկվող մեթոդի (նկ.6) էությունն այն է, որ նոր մեթոդով որոշակիացվում է սինքրոագդանշանային ծառի կառուցման երթուղին՝ հաշվի առնելով փոխազդեցությունները: Առաջարկվող մեթոդը ավտոմատացված նախագծման երթուղում կարելի է օգտագործել սինքրոագդանշանային ծառի կառուցման ընթացքում: Սինքրոագդանշանային ծառի նախագծումը սովորաբար կատարվում է հետևյալ երթուղով.



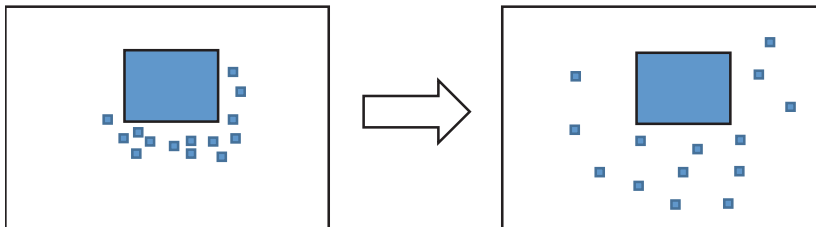
Նկ. 5. Ավտոմատացված նախագծման սինքրոագդանշանային ծառի նախագծման հատվածը

Առաջարկվող մեթոդի երթուղին հետևյալն է.



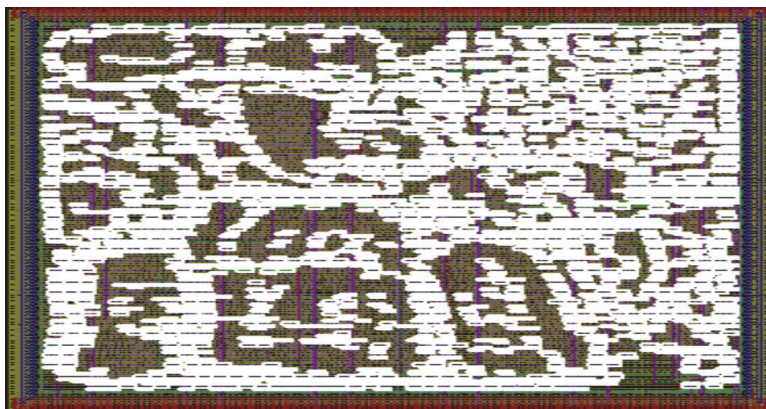
Նկ. 6. Առաջարկվող մեթոդի երթուղին

Առաջարկվող մեթոդի տրամաբանությունն այն է, որ ինտեգրալ սխեմայի ավտոմատացված նախագծման ընթացքում գործիքը սինքրոազդանշանային ծառի կառուցման ժամանակ ուշադրություն է դարձնում հետևյալ պարամետրերին՝ ըստ նշված հերթականության. նախագծման տեխնիկական կանոնների խախտում, ժամանակային պարամետրերի լավարկում և ապա նախագծման բջիջների և լարերի խտության դիտարկում: Առաջարկվող մեթոդով (նկ. 7) գործիքին տրվում են տարբերակներ՝ նախագծումը փոխազդեցության տեսանկյունից ավելի լավարկված կատարելու համար: Նոր մեթոդով նախագծման բացասական հետևանքներից է տեխնիկական կանոնների խախտման (DRC) քանակի շատացումը, որի ուղղումը կարող է կատարվել ոչ ավտոմատացված տարբերակով:



Նկ. 7. Առաջարկվող մեթոդով ստանդարտ բջիջների տեղաբաշխումը

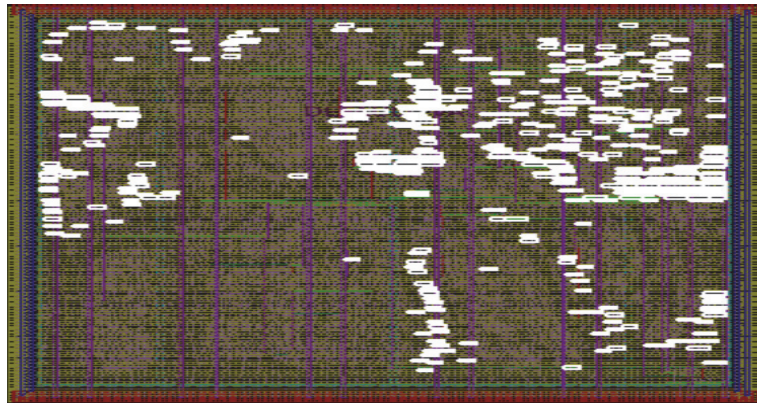
Ստացված արդյունքները: Աշխատանքում ուշադրություն է դարձվել սինքրոազդանշանային ծառի ազդեցությանը սխեմայի տարբեր լարերի վրա, հաշվի առնելով այն, որ դա կարող է թե ֆիզիկական և թե ժամանակային պարամետրերի վրա բացասական ազդեցություն ունենալ: Աշխատանքում գործնական կիրառություն է ստացել սինքրոազդանշանային ծառի կառուցման երկու տարբերակ՝ դասական (նկ. 8) և տվյալների լարերին զուգահեռ սինքրոազդանշանային լարերի նախագծումը (նկ. 9):



Նկ. 8. Դասական տարբերակով նախագծված ինտեգրալ սխեման

Նախագծվել է առաջարկվող ինտեգրալ սխեման երկու մեթոդների դեպքում, փոխադրեցության գործակիցների փոփոխությունը ներկայացված է աղյուսակում (աղ.):

Աղյուսակում ներկայացված լարերը ընտրվել են ըստ ժամանակային մեծ պաշար ունեցող ճանապարհների արժեքների նվազման, չորս տարբեր ճանապարհներում գտնվող լարերի դեպքում:



Նկ. 9. Տվյալների լարերին զուգահեռ սինքրոնազանցանային լարերի նախագծման տարբերակով ինտեգրալ սխեման

Աղյուսակ

Առաջարկվող մեթոդի կիրառմամբ փոխադրեցության գործակցի փոփոխությունը

Ինտեգրալ սխեմա	Փոխադրեցության գործակցի փոփոխությունը (%)
ԻՍ 1/ Տարբերակ 1	լար1 0
	լար2 0
	լար3 0
	լար4 0
ԻՍ 2/ Տարբերակ 1	լար1 0
	լար2 0
	լար3 0
	լար4 0
ԻՍ 1/ Տարբերակ 2	լար1 15
	լար2 5
	լար3 1
	լար4 4
ԻՍ 2/ Տարբերակ 2	լար1 12
	լար2 6
	լար3 3
	լար4 2

Արդյունքներից պարզ է դառնում, որ կիրառելով առաջարկվող մեթոդը՝ փոխազդեցության երևույթը տվյալների ճանապարհում փոքրանում է էապես, որը հնարավորություն է տալիս՝ նախագծելու ինտեգրալ սխեման ավելի մեծ աշխատանքային հաճախությունների դեպքում: Հաշվի առնելով փոխազդեցության երևույթը՝ ավտոմատացված երթուղով նախագծման ավելի վաղ փուլերում կարելի է խուսափել ժամանակային խնդիրների լուծման փուլի ընթացքում անակնկալներից, որը չի հանգեցնի այնպիսի դեպքերի, ինչպիսին է ինտեգրալ սխեմայի նախագծումը հատակագծման փուլից սկսելը:

Եզրակացություն: Ստացված արդյունքները ցույց են տալիս, որ առաջարկվող մեթոդով տակտավորող ազդանշանի նախագծման դեպքում փոխազդեցության երևույթը ինտեգրալ սխեմայում էապես փոքրանում է: Առաջարկվող մեթոդով սինթրոազդանշանային ծառը կառուցվել է մի քանի ԻՄ-երի համար: Այսպիսով, այս եղանակով ծառի կառուցումը կարող է կիրառվել նանոմետրական չափեր ունեցող ԻՄ նախագծման ժամանակ: ԻՄ-ում փոխազդեցության երևույթի փոքրացմամբ լուծվում են մի շարք խնդիրներ, որոնք ներկայացված են աշխատանքում:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Schaller R.** Moore's law: past, present and future // IEEE Spectrum.- June 1997.- Vol. 34, no. 6.- P. 52-59, doi: 10.1109/6.591665.
2. **Jerse T.** Introduction to Crosstalk // 2017 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI). - Washington, DC, USA, 2017.- P. 1-45, doi: 10.1109/ISEMC.2017.8078014.
3. **Ching-Hong T., Cheng-Wen W.** Processor-programmable memory BIST for bus-connected embedded memories // Proceedings of the ASP-DAC 2001. Asia and South Pacific Design Automation Conference 2001 (Cat. No.01EX455). - Yokohama, Japan, 2001.- P. 325-330, doi: 10.1109/ASPDAC.2001.913327.
4. **Wu C.H., Shaiu M.C.** Accurate speed improvement techniques for RC line and tree interconnections in CMOS VLSI. – 2002. – P. 1648-1651, doi: 10.1109/ISCAS.1990.112454.
5. **Shichman H., Hodges D.A.** Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits // IEEE J. Solid-State Circuits. – 1968. – 3, doi: 10.1109/JSSC.1968.1049902.
6. **Technique G. T., Balakrishnan R.** Crosstalk and EMI Reduction using enhanced // 2018 IEEE Electr. Des. Adv. Packag. Syst. Symp. -2018. – P. 25-28.
7. **Patil P., Pable S.** Crosstalk Delay Analysis in Very Deep Sub Micron VLSI Circuits. – 2016. – P. 1695-1698.
8. **Teh E.K., Zawawi M.A. M., Mohamed, M.F.P., Matisa N.A.** Practical full chip clock distribution design with a flexible topology and hybrid metaheuristic technique // IEEE Access. – 2021. - Vol. 9.- P.14816-14835, doi: 10.1109/ACCESS.2021.3053052.

9. Algorithm Selection Framework for Legalization Using Deep Convolutional Neural Networks and Transfer Learning / **R. Netto, S. Fabre, T. Fontana, et al** // IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems. – 2022. – Vol. 41, no. 5.- P.1484-1494, doi: 10.1109/TCAD.2021.3079126.
10. **Rickard E., Kok K.C.** Fast clock scheduling and an application to clock tree synthesis // Integration. – 2017. - Vol. 56.- P. 115-127, doi: <https://doi.org/10.1016/j.vlsi.2016.10.012>.
11. **Kamineni S. K., John R.** Minimal Buffer Insertion Based Low Power Clock Tree Synthesis for 3D Integrated Circuits // Journal of Circuits, Systems and computers. – 2016. - Vol. 25, no. 11.-P.1650142(1-17), doi: <https://doi.org/10.1142/S0218126616501425>.

Երևանի պետական համալսարան, Հայաստանի ազգային պոլիտեխնիկական համալսարան: Նյութը ներկայացվել է խմբագրություն 27.03.2023:

Г.А. АБГАРЯН, А.А. ГАЛСТЯН, Г.А. АРУТЮНЯН

СОКРАЩЕНИЕ ПОСЛЕДСТВИЙ ВЗАИМОДЕЙСТВИЯ ПРОВОДОВ В ИНТЕГРАЛЬНЫХ СХЕМАХ ПУТЕМ ОПТИМИЗАЦИИ ДЕРЕВА СИНХРОСИГНАЛОВ

Наряду с развитием интегральных схем (ИС) в последние годы невозможно игнорировать роль взаимодействия в проводах, поскольку это приводит к ошибкам в работе ИС. Разработан метод, позволяющий учитывать эффекты взаимодействия при построении дерева синхросигналов. Проведены исследования снижения последствий взаимодействия в системах тестирования памяти за счет совершенствования дерева синхросигналов.

Ключевые слова: интегральная схема, явление взаимодействия, устройство памяти, система тестирования, синхросигнал, физический дизайн.

G.A. ABGARYAN, A.A. GALSTYAN, G.A. HARUTYUNYAN

REDUCING THE CONSEQUENCES OF THE WIRE INTERCONNECTIONS IN INTEGRATED CIRCUITS BY OPTIMIZING THE CLOCK TREE

With the development of integrated circuits in recent years, the role of interconnections between wires in them cannot be ignored, because it leads to functional errors of the circuit. A method has been developed that allows to take into account the effects of interconnections during the clock tree synthesis. The interconnection phenomena in memory testing systems are examined and reduced by enhancing the testing system's clock tree.

Keywords: integrated circuit, interconnection phenomenon, memory, testing system, clock, physical synthesis.