

А.Г. АРУТЮНЯН, Л.Л. МХИТАРЯН

РАЗМЕЩЕНИЕ ЭЛЕМЕНТОВ КОМБИНАЦИОННЫХ СХЕМ С УЧЕТОМ ВАЖНОСТИ ЦЕПЕЙ

Предложен метод начального размещения логических ячеек комбинационных схем, основанный на предварительной оценке временных характеристик цепей и резервов времени задержки каждой цепи. Резервы времени цепей комбинационных схем в дальнейшем используются в качестве меры важности цепей, на основе чего производится размещение элементов схемы.

Ключевые слова: размещение элементов интегральных схем, комбинационная схема, задержка сигнала, резерв времени, критический путь.

Введение. В последовательных цифровых схемах обобщенный тракт обработки информации при его синхронной организации представляется совокупностью комбинационных схем (КС) и элементов памяти (триггеров, регистров). При этом выходы элементов памяти являются источниками информации для КС. В тракте обработки данных КС имеются маршруты распространения сигналов от первичных входов к конечным выходам, составленные из разного количества последовательно включенных логических элементов и цепей связи между ними. При этом задержки сигналов в КС оказывают существенное влияние на период следования тактовых синхроимпульсов, минимальное значение которого ($T_{\min}$) определяется как время распространения сигналов по самому длинному (критическому) пути в КС $t_{k \max}$ плюс длительность синхроимпульса t_u [1]:

$$T_{\min} = t_{k \max} + t_u. \quad (1)$$

В свою очередь, время распространения сигналов по критическому пути $t_{k \max}$ можно представить следующим образом:

$$t_{k \max} = \sum_{i=1}^n t_{3.p.\varepsilon.i} + \sum_{j=1}^m t_{3.p.\varphi.j}, \quad (2)$$

где $t_{3.p.\varepsilon.i}$ - задержка распространения сигнала i -го логического элемента критического пути; $t_{3.p.\varphi.j}$ - задержка распространения сигнала j -й цепи критического

пути; n и m – соответственно количество логических элементов и цепей критического пути.

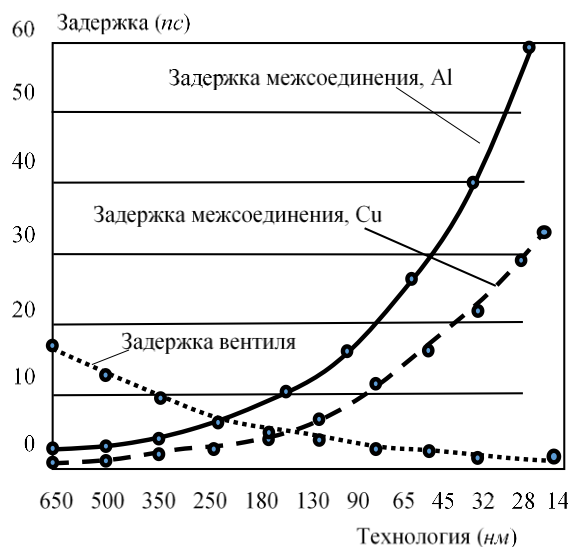


Рис. 1. Эволюция задержек вентиля и межсоединений

Таким образом, как следует из выражений (1) и (2), для повышения быстродействия схемы необходимо уменьшить величину $T_{\min}$. Последнее достигается за счет:

- уменьшения задержки распространения сигнала в логических элементах критического пути $t_{з.р.э}$;
- уменьшения задержки переключения триггера и связанной с ней длительности импульса синхронизации t_u ;
- уменьшения задержки распространения сигнала в цепях критического пути $t_{з.р.ц}$.

Состояние вопроса. На этапе физического проектирования интегральных схем (ИС), когда определены элементная база и тип памяти, основным способом повышения быстродействия может служить уменьшение задержки распространения сигнала в цепях критического пути.

Переход к субмикронным технологиям часто приводит к качественным изменениям влияния различных физических явлений на работу ИС. В частности, если задержки сигнала в вентилях ранее значительно превышали задержки в межсоединениях, то в настоящее время обстоятельство резко изменилось. Например, при технологии 32 нм задержка наиболее применяемых алюминиевых межсое-

динений длиной в 1 мм почти в 200 раз превышает задержку одного вентиля, а для ИС в целом 80...90% задержек приходится на межсоединения (рис.1).

Если иметь в виду, что в среднем линейный размер одной стандартной библиотечной логической ячейки технологии 32 нм составляет порядка 5 мкм, то получается, что задержка в межсоединении между двумя соседними ячейками примерно равна задержке одной ячейки. Следовательно, быстродействие современных цифровых ИС во многом зависит от временных задержек сигнала в межсоединениях. Эти задержки определяются RC-параметрами линий связи, которые, в свою очередь, при определенной технологии в основном зависят от их длин. В первом приближении задержка распространения сигнала в межсоединениях прямо пропорциональна RC-параметрам данной линии связи $T \sim RC$. Как известно, паразитные параметры R и C определяются следующими формулами:

$$R = R_S \frac{\ell}{d} \text{ и } C = \frac{\varepsilon \ell d}{t}, \text{ где } R_S \text{ и } \varepsilon - \text{соответственно удельное поверхностное сопротивление линии связи и диэлектрическая проницаемость двуокиси кремния; } d, \ell \text{ и } t - \text{соответственно ширина и длина линии связи, толщина двуокиси кремния.}$$

При определенной технологии приведенные параметры, кроме длины ℓ , практически не зависят от топологии. Следовательно, можно принять, что задержка распространения сигнала в межсоединении прямо пропорциональна квадрату его длины $T \sim \ell^2$.

Из сказанного можно сделать важный вывод: при размещении ячеек, с целью уменьшения задержки распространения сигнала в цепях критического пути, следует добиться сокращения длин межсоединений, лежащих на критических путях. Это заключение лежит в основе задачи временем направленного размещения ячеек цифровых ИС.

Современные коммерческие системы автоматизированного проектирования (САПР) ИС, как правило, решают задачу размещения в два этапа: начальное размещение, основанное на приближенных быстрых алгоритмах, обеспечивающих хорошие условия для последующего окончательного размещения, и окончательное размещение, основанное на итерационных алгоритмах улучшения результатов начального размещения по тому или иному параметру [2,3]. В то же время следует отметить, что применение итерационных алгоритмов при отсутствии хорошего начального размещения приводит к неоправданно большим затратам компьютерного времени, а в ряде случаев вообще не обеспечивает получения желаемого качества решения.

В алгоритмах начального размещения в качестве критерия размещения используется условие обеспечения минимума ожидаемой суммарной виртуальной

длины межсоединений, согласно которому ожидаемые длины межсоединений между элементами идентифицируются их топологическими расстояниями [3]:

$$f_{\text{св}} = \sum_{i=1}^N \sum_{\substack{j=1 \\ j>i}}^N r_{ij} d_{ij} \rightarrow \min, \quad (3)$$

где r_{ij} – количество связей между i -ым и j -ым элементами; d_{ij} – геометрическое расстояние между i -ым и j -ым элементами; N – количество размещаемых элементов ИС.

Удовлетворение проектных требований по быстродействию, как правило, осуществляется на втором этапе размещения.

Существующие алгоритмы размещения, учитывающие задержки в межсоединениях, могут быть сгруппированы в два класса: основанный на пути и основанный на цепи.

Подход, основанный на пути, непосредственно воздействует на все или подмножество путей “вход-выход” схемы. Так как каждая логическая ячейка подключается к двум или более ячейкам, то управление длинами межсоединений критических путей затрагивает множество других цепей, в результате чего из-за увеличения длин цепей, которые подключены через лежащие на критических путях общие ячейки, может наблюдаться увеличение суммарной длины межсоединений ИС. При этом уменьшение задержки на критических путях может привести к появлению новых критических путей. В настоящее время эта проблема решается путем применения итерационных алгоритмов улучшения размещения с пошаговым уменьшением длин межсоединений критических путей до достижения приемлемых значений задержек.

Основным недостатком метода, основанного на пути, является потребность в больших машинных ресурсах при их реализации. Эти методы применяются на этапе оптимизации размещения, а их эффективность во многом зависит от результатов предварительного начального размещения.

Подход, основанный на цепи, имеет дело с отдельными цепями схемы. При этом, сокращая длины лежащих на критических путях отдельных цепей, можно добиться сокращения суммарных задержек путей. Этот подход более удобен для его применения на этапе начального размещения.

В существующих коммерческих САПР задача учета быстродействия, обусловленная задержками на межсоединениях, решается путем оценки критических путей “вход-выход” проектируемой схемы с дальнейшей минимизацией задержек в этих путях. При этом, как правило, используются итерационные алго-

ритмы размещения, которые предусматривают многократное изменение начального размещения, нацеленное на сокращение задержек критических путей.

Описание метода. Если учесть, что от результатов начального размещения во многом зависят количество итераций на втором этапе и, следовательно, время решения задачи, то становится очевидной важность разработки методов начального размещения элементов ИС, которые совместно с электрической связанностью элементов будут учитывать также быстродействие схемы. С учетом вышесказанного далее рассмотрены вопросы разработки критерия учета задержек цепей, удобного для применения в алгоритмах начального размещения.

С этой целью введем понятие важности цепей с точки зрения обеспечения быстродействия схемы. Определение важности цепей предполагает предварительную оценку реального и требуемого поздних времен формирования сигнала и резервов времени всех цепей схемы. При дальнейшем размещении логических ячеек полученные резервы времени служат мерой важности цепей.

Под реальным поздним временем формирования сигнала для некоторой цепи будем понимать минимальное время, необходимое для формирования правильного сигнала в данной цепи, начиная с момента появления сигнала на основных входах схемы. Это время для некоторой i -й цепи определяется следующим образом:

$$T_{pi} = \begin{cases} T_{0k} & - \text{для } k \in I, \\ \max_{j \in E_1(j,i)} [T_{pj} + t_{(j,i)}] & - \text{для остальных цепей,} \end{cases} \quad (4)$$

где T_{0k} - момент появления сигнала на k -ом основном входе схемы; I - множество основных входов схемы; T_{pj} - реальное позднее время формирования сигнала j -й цепи; $t_{(j,i)}$ - задержка ячейки, для которой j -я цепь является входной, а i -я - выходной; $E_1(j,i)$ - множество входных цепей ячейки, для которой j -я цепь является входной, а i -я - выходной.

Под требуемым поздним временем формирования сигнала для некоторой цепи будем понимать ту максимальную суммарную задержку от основных входов схемы до данной цепи, которая еще не приводит к опозданию сигнала на основных выходах схемы. Для некоторой i -й цепи она определяется следующим образом:

$$T_{mi} = \begin{cases} \max_{i \in O} T_{mi} & - \text{для } i \in O, \\ \min_{j \in E_2(i,j)} [T_{mj} - t_{(i,j)}] & - \text{для остальных цепей,} \end{cases} \quad (5)$$

где O - множество основных выходов схемы; T_{mj} - требуемое позднее время формирования сигнала j -й цепи; $t_{n(j,i)}$ - задержка ячейки, для которой i -я цепь является входной, а j -я - выходной; $E_{2(j,i)}$ - множество входных цепей тех ячеек, для которых i -я цепь является входной.

Под резервом времени i -й цепи будем понимать разность требуемого (T_{mi}) и реального (T_{pi}) времен формирования сигнала в данной цепи:

$$R_i = (T_{mi} - T_{pi}). \quad (6)$$

Так как резерв времени некоторой цепи определяет допустимую задержку сигнала в данной цепи, то с целью управления длинами межсоединений при размещении резервы времени цепей можно использовать в качестве критерия близости элементов. С этой целью в критерий размещения (3) введем некоторый коэффициент важности цепей, связывающих пары элементов, который учитывает резервы времени этих цепей. Такой коэффициент определяется исходя из следующих соображений:

- длины межсоединений должны быть прямо пропорциональными к их резервам времени. С инженерной точки зрения, это означает, что элементы, связанные цепями с меньшими значениями резервов времени, должны размещаться по возможности поближе, и наоборот;
- близость любой пары размещаемых элементов должна быть обратно пропорциональной к их связанности, что следует из условия минимума критерия (3);
- так как резерв времени некоторой цепи определяет допустимую задержку сигнала в данной цепи, то коэффициент важности должен определяться исходя из соображений его обратной пропорциональности к резерву цепи.

Введем понятие среднего резерва времени для множества цепей, связывающих пару элементов. Если множество цепей, связывающих i -й и j -й элементы, обозначить через G_{ij} , а каждый из этих цепей имеет резерв времени R_k ($k \in G_{ij}$), то средний резерв времени множества цепей G_{ij} определится следующим образом:

$$\tilde{R}_k = \frac{1}{r_{ij}} \sum_{k \in G_{ij}} R_k . \quad (7)$$

Исходя из вышесказанного, а также имея в виду, что задержка распространения сигнала в межсоединении прямо пропорциональна квадрату его длины $T \sim \ell^2$, предлагается следующий вид коэффициента важности множества цепей, связывающих i -й и j -й элементы:

$$\lambda_{ij} = \frac{1}{1 + \sqrt{\tilde{R}_k}} \text{ для } k \in G_{ij} . \quad (8)$$

Тогда критерий размещения по минимуму суммарной длины связей (3) с учетом задержки сигнала в цепях примет вид

$$f_{cs} = \sum_{i=1}^N \sum_{\substack{j=1 \\ j > i}}^N \lambda_{ij} r_{ij} d_{ij} \rightarrow \min . \quad (9)$$

Практическая реализация и результаты. На основе вышеизложенного метода разработан простейший алгоритм последовательного размещения, который реализован в виде программного инструмента начального размещения логических ячеек цифровых схем. Разработанный алгоритм основан на матрице смежности и рекурсивном повторении следующей основной процедуры. На очередную ближайшую свободную позицию размещается ячейка, имеющая минимальное значение функции претендентности β , которая определяется как разница между связанностями данной i -й ячейки с еще не размещенными и уже размещенными ячейками, что соответствует условию

$$\beta_i = \min_{i \in E_n} \left(\sum_{j \in E_n} \lambda_{ij} r_{ij} - \sum_{j \in E_p} \lambda_{ij} r_{ij} \right), \quad (10)$$

где E_n и E_p – множество неразмещенных и размещенных ячеек соответственно.

Эффективность разработанного алгоритма проверена на тестовых схемах.

Для простоты рассмотрим пример размещения ячеек тестовой логической схемы, приведенной на рис. 2.

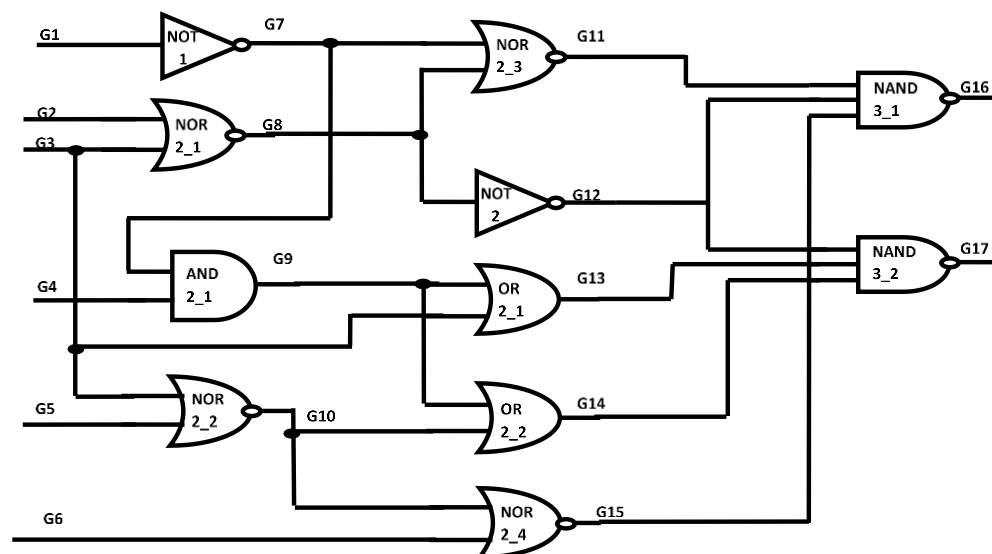


Рис. 2. Тестовая логическая схема

Параметры логических ячеек выбраны из библиотеки стандартных ячеек, разработанной в учебном департаменте компании “Синописис Армения” [4]. В табл. 1 приведены задержки и топологические размеры логических ячеек тестовой схемы для указанной библиотеки.

Таблица 1

Задержки и топологические длины логических ячеек тестовой схемы

Тип ячейки	NOT1, NOT2	NOR2x1, NOR2x2, NOR2x3, NOR2x4	AND 2x1	OR 2x1	NAND 3x1
Задержка (нс)	39	64	85	85	130
Длина (мкм)	2,24	2,24	3,2	2,88	4,16
Площадь (мкм ²)	6,45	6,45	7.37	7.37	11.98

С целью сравнения результатов размещения произведено размещение элементов тестовой схемы как предложенным методом, так и инструментом физического синтеза IC Compiler компании Синописис (рис. 3). На рис. 3а пунктирными линиями показаны критические цепи.

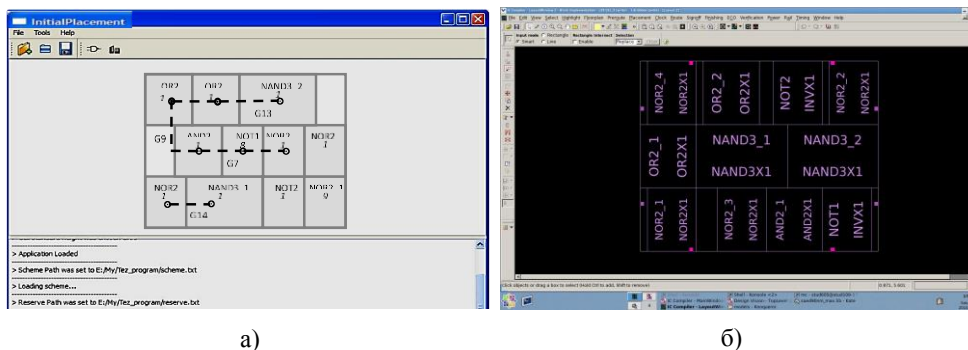


Рис. 3. Размещение ячеек тестовой схемы:

а - с помощью предложенного метода, б - с помощью IC Compiler

Для тестовой схемы значения резерва времени цепей, определенные с помощью формул (4), (5) и (6), и их длины при размещении по разработанному алгоритму и по IC Compiler приведены в табл. 2. Длины цепей оценены расстояниями центров соответствующих ячеек.

Как видно из таблицы, при использовании предложенного метода длины критических цепей с нулевым резервом времени можно сократить от 4 до 50%. При этом имеет место увеличение длин не критических цепей. В рассматриваемом примере наблюдается также сокращение суммарной длины связей.

Таблица 2

Резервы времени и длины цепей

Номер цепи	G ₇	G ₉	G ₁₃	G ₁₄	G ₃	G ₁₀	G ₈	G ₁₁	G ₁₂	G ₁₅	Сум- марная длина
Резерв (нс)	0	0	0	0	69	69	90	90	90	90	-
Длина (мкм)	4,6	5,4	6,2	3,7	14,2	14,4	5,1	6,1	11,5	3,2	74,6
Длина (мкм) (ICC)	4,8	11,5	7,5	7,5	14,2	8,3	11,5	2,9	7,0	6,1	81,4

Сравнительные результаты вариантов размещения ряда более сложных тестовых схем показали большую эффективность применения предлагаемого подхода.

Заключение. Предложен метод размещения элементов комбинационных схем с учетом важности цепей. Предложенный метод ориентирован для применения на этапе начального размещения логических ячеек цифровых ИС. Апробация метода для размещения ячеек ряда тестовых схем показала высокую эффек-

тивность по минимизации длин критических цепей и относительной взвешенности длин остальных цепей. Предлагаемый метод может быть внедрен в существующие средства САПР в виде подсистемы начального размещения стандартных ячеек, а полученные результаты могут служить стартовым размещением для дальнейшей оптимизации.

СПИСОК ЛИТЕРАТУРЫ

1. **Угрюмов Е.П.** Цифровая схемотехника: Учеб. пособие для вузов. 2-е изд., перераб. и доп. - СПб.: БХВ-Петербург, 2004. – 544 с.
2. **Sherwani N.** Algorithms for VLSI Physical Design Automation. Intel Corporation. - Kluwer Academic Publishers, 2007.- 572 p.
3. **Gerez S.** Algorithms for VLSI design Automation. - John Wiley & Sons, Chichester, 1998.- 326 p.
4. Digital Standard Cell Library//SAED_EDK90_CORE DATABOOK: © 2008 SYNOPSYS ARMENIA Educational Department.- Yerevan, 2008. – 96 p.

Национальный политехнический университет Армении. Материал поступил в редакцию 04.07.2016.

Ա.Գ. ՀԱՐՈՒԹՅՈՒՆՅԱՆ, Լ.Լ. ՄԽԻԹԱՐՅԱՆ

ՀԱՄԱԿՑԱԿԱՆ ՄԽԵՄԱՆԵՐԻ ՏԱՐԵՐԻ ՏԵՂԱԲԱՇԽՈՒՄԸ ՇՂԹԱՆԵՐԻ ԿԱՐԵՎՈՐՈՒԹՅԱՆ ՀԱՇՎԱՌՄԱՄԲ

Առաջարկված է համակցական սխեմաների տրամաբանական բջիջների սկզբնական տեղաբաշխման մեթոդ՝ հիմնված շղթաների ժամանակային բնութագրերի և յուրաքանչյուր շղթայի ժամանակային հապաղման պահուստի նախնական գնահատման վրա: Համակցական սխեմայի շղթաների ժամանակային հապաղման պահուստները հետագայում օգտագործվում են որպես շղթաների կարևորության չափ, որի հիման վրա կատարվում է սխեմայի տարրերի տեղաբաշխումը:

Առանցքային բառեր. ինտեգրալ սխեմաների տարրերի տեղաբաշխում, համակցական սխեմա, ազդանշանի հապաղում, ժամանակի պահուստ, որոշիչ ճանապարհ:

A.G. HARUTYUNYAN, L.L. MKHITARYAN

PLACEMENT OF COMPONENTS OF COMBINATIONAL CIRCUITS GIVEN THE IMPORTANCE OF NETS

A method of initial placement of logic cells of combinational circuits based on the preliminary assessment of timing characteristics of nets and slack of timing delay of each net is proposed. The slack of nets of combinational circuits are then used as a measure of the importance of nets, on the basis of which placement of circuit elements is carried out.

Keywords: placement of integrated circuits elements, combinational circuit, signal delay, slack, critical path.