

**Н.А. АВДЕЕВ, П.Н. БИБИЛО, В.Ш. МЕЛИКЯН, А.Г. АРУТЮНЯН**  
**ПРИМЕНЕНИЕ ЛОГИЧЕСКОЙ И СТРУКТУРНОЙ ОПТИМИЗАЦИИ**  
**ПРИ СИНТЕЗЕ КМОП СХЕМ С ПОНИЖЕННЫМ**  
**ЭНЕРГОПОТРЕБЛЕНИЕМ**

Описываются сравнительные результаты экспериментального исследования эффективности программ минимизации различных представлений систем полностью определенных булевых функций при синтезе комбинационных схем. Эксперименты на большом числе практических примеров показали, что более предпочтительными для снижения площади и энергопотребления комбинационных комплементарных металл-оксид-полупроводниковых (КМОП) схем из библиотечных элементов являются программы минимизации многоуровневых представлений на основе разложения Шеннона. Уменьшение энергопотребления синтезированных схем возможно при последующем применении программ структурной перестройки схем.

**Ключевые слова:** синтез логических схем, логическая оптимизация, структурная оптимизация, снижение энергопотребления, библиотечные логические элементы.

**Введение.** Вопросы снижения энергопотребления электронных схем наряду с уменьшением площади и повышением быстродействия являются в настоящее время наиболее актуальными проблемами в автоматизированном проектировании [1]. Это связано с увеличением числа автономно работающих цифровых систем. Синтез логических схем в заданном базисе (библиотеке) элементов традиционно разбивается на два больших этапа: технологически независимую оптимизацию реализуемых систем булевых функций и технологическое отображение – покрытие оптимизированных представлений описаниями библиотечных логических элементов. Решающее влияние на основные параметры (сложность, быстродействие, энергопотребление) логических схем оказывает первый этап. На данном этапе в качестве основного метода оптимизации до недавнего времени использовались методы отдельной и совместной минимизации систем булевых функций в классе дизъюнктивных нормальных форм (ДНФ). В последнее время к ним добавились методы оптимизации BDD-представлений (англ. Binary Decision Diagram, BDD) многоуровневых представлений на основе разложения Шеннона и методы декомпозиции, позволяющие уменьшать число аргументов реализуемых систем функций. BDD называют также диаграммами двоичных решений либо диаграммами двоичного выбора [2].

Данная работа посвящена экспериментальному исследованию программ оптимизации представлений систем булевых функций, применяемых при синтезе

логических схем из элементов библиотеки проектирования заказных цифровых сверхбольших интегральных схем (СБИС), производимых по КМОП технологии. На наборе широко известных примеров показывается преимущество применения при синтезе схем программ минимизации BDD-представлений по сравнению с традиционными программами минимизации систем функций в классе ДНФ [3]. Уменьшение энергопотребления синтезированных схем может достигаться во многих случаях применением методов структурной оптимизации путем калибровки логических ячеек, описанной в [4].

**1. Синтез логических схем с предварительной технологически независимой логической оптимизацией.** Схемные реализации различных представлений одной и той же системы дизъюнктивных нормальных булевых функций при синтезе в промышленных синтезаторах могут иметь различную площадь, так как данные синтезаторы чувствительны к форме задания исходных данных. Проведенные первые три эксперимента заключались в различных способах предварительной технологически независимой оптимизации представлений систем булевых функций, по которым затем синтезировались логические схемы в одной и той же библиотеке синтеза и при одних и тех же режимах синтеза. Исходными данными явились 38 примеров систем ДНФ полностью определенных булевых функций из набора примеров, доступных по сети Интернет [5]. В качестве промышленной системы синтеза логических схем во всех экспериментах использовался синтезатор LeonardoSpectrum (версия 2011a.4), в качестве целевой библиотеки синтеза – библиотека проектирования заказных цифровых КМОП СБИС. Состав библиотеки описан в [6]. Оценка энергопотребления логической схемы осуществлялась согласно методике, описанной в работе [7].

**Эксперимент 1.** Синтез схем по исходным (неоптимизированным) описаниям систем ДНФ булевых функций.

**Эксперимент 2.** Синтез схем по минимизированным в классе ДНФ-представлениям систем функций. Минимизация осуществлялась с помощью программы ESPRESSO (версия 2.3) совместной ДНФ-минимизации систем булевых функций  $f(\mathbf{x}) = (f^1(\mathbf{x}), \dots, f^m(\mathbf{x}))$ ,  $\mathbf{x} = (x_1, \dots, x_n)$ , описанной в работе [3].

**Эксперимент 3.** Синтез схем по минимизированным BDD-представлениям систем функций. Для совместной BDD-минимизации систем булевых функций использовалась программа TIE\_BDD [8], реализующая алгоритм минимизации многоуровневых представлений системы булевых функций на основе разложения Шеннона. При проведении экспериментов данная программа строила BDD не более чем по 5000 случайно генерируемым перестановкам переменных и выбирала из рассмотренных вариантов BDD наименьшей сложности.

**2. Результаты экспериментов логической и структурной оптимизации комбинационных КМОП схем.** Каждая схема синтезировалась тремя разными

способами, в качестве результата синтеза в каждом из трех экспериментов фиксировались площадь схемы и ее энергопотребление (потребляемый ток в микроамперах (мА)). Оценка энергопотребления каждой из схем осуществлялась в системе схемотехнического моделирования на 500 случайно сгенерированных входных тестовых наборах, для такого моделирования использовались схемотехнические SPICE-описания элементов схемы и всей схемы в целом. Результаты экспериментов даны в табл. 1, где символом «\*» отмечены лучшие решения – значения площадей и потребляемых схемами токов. Под площадью схемы понимается в данных экспериментах суммарная площадь элементов, составляющих схему. Площади элементов для синтезатора LeonardoSpectrum задавались в условных единицах.

В табл. 1: n – число аргументов (число входных сигналов схемы); m – число функций (число выходных сигналов схемы); k – число общих элементарных конъюнкций, входящих в систему ДНФ булевых функций. Наибольшее число (24 примера) лучших решений по площади обеспечила программа TIE\_BDD глобальной BDD-минимизации.

Таблица 1

Результаты эксперимента для библиотеки Power с применением LeonardoSpectrum и SPICE-моделирования

Наименование схемы	n	m	k	Эксперимент					
				Площадь схем (в условных единицах)			Энергопотребление схем (потребляемый ток, мА)		
				1	2	3	1	2	3
1	2	3	4	5	6	7	8	9	10
ADR4	8	5	256	131102	10948	*7661	1044,00	282,30	*200,40
ALU1	12	8	19	*7109	*7109	*7109	*143,40	*143,40	*143,40
B9	16	5	123	26148	30227	*24770	*469,80	546,90	514,30
BR1	12	8	34	32615	26243	27911	140,00	133,30	135,20
BR2	12	8	35	22632	*21472	21634	101,80	102,90	108,40
CLPL	11	5	20	*2929	*2929	*2929	*65,91	*65,91	65,93
CO14	14	1	47	12449	12449	12449	167,50	167,50	165,30
DC2	8	7	58	32375	27314	*21946	*289,60	345,10	369,00
DIST	8	5	256	110060	87980	*68601	*969,20	1195,00	1063,00
EX7	16	5	123	26148	30227	*24770	*469,80	546,90	514,30
LOG8MOD	8	5	47	35673	27906	*25953	*425,60	435,50	523,70
M1	6	12	32	21773	22398	18715	284,40	*264,30	313,90
M2	8	16	96	85960	62334	61095	563,70	479,60	800,00
M3	8	16	128	97120	83901	*60325	*690,00	747,00	823,30
MAX46	9	1	46	38602	37174	*36878	453,00	436,40	*375,00
MP2D	14	14	123	36471	18542	*17968	517,30	232,20	*211,10
NEWAPLA	12	10	17	11763	11796	*10189	156,00	*138,10	161,70
NEWAPLA2	6	7	7	5569	5569	*4944	42,58	42,58	*36,78
NEWBYTE	5	8	8	5569	5569	*5569	60,49	60,49	60,42

Продолжение табл. 1

1	2	3	4	5	6	7	8	9	10
NEWCOND	11	2	31	18899	15540	*13414	283.00	288,40	*260,90
NEWCPLA1	9	16	38	29262	28625	*28045	370.90	384,30	*352,50
NEWCPLA2	7	10	19	*13359	14659	17438	*179.80	224,90	302,40
NEWILL	8	1	8	5134	5134	5312	105.40	105,90	109,50
NEWTAG	8	1	8	*1864	*1864	2126	*32.35	35,47	38,91
NEWTPLA	15	5	23	15044	15044	*14229	177.90	176,70	*155,10
NEWTPLA1	10	2	4	4324	4324	*3577	32.49	32,49	26,10
NEWTPLA2	10	4	9	9263	8588	*7310	*86.54	88,23	119,10
P82	5	14	24	23124	22008	*19971	303.40	293,50	324,20
RADD	8	5	120	39824	14982	*8465	736.30	316,60	*225,50
RD53	5	3	32	13571	12142	9843	238.00	269,60	223,40
RD73	7	3	147	23347	23414	15925	454.20	512,50	414,20
ROOT	8	5	256	55750	34429	*26717	732.70	536,00	*496,90
RYY6	16	1	112	4754	3337	4224	86.50	66,11	90,59
SEX	9	14	23	*13124	14692	13928	*229.60	253,80	267,90
SQN	7	3	96	43167	28319	*23743	446.30	422,70	503,20
T3	12	8	152	20105	*18866	19223	*187.40	244,00	229,70
Z4	7	4	128	52379	7527	6992	684.20	217,00	*171,30
Z5XP1	7	10	128	148121	43172	*26499	1171.00	716,40	*535,50
Число лучших решений				<b>5</b>	<b>4</b>	<b>24</b>	<b>13</b>	<b>4</b>	<b>12</b>

Анализ результатов реализации примеров малой размерности, т.е. систем функций с небольшим числом  $n$  аргументов и небольшим числом  $k$  конъюнкций, показывает, что для таких примеров предварительная оптимизация не нужна, синтезатор строит для них одинаковые по площади схемы. Кроме того, выяснилось также, что использование оптимизированных BDD-представлений систем функций является целесообразным и для получения схем с пониженным энергопотреблением. Результаты эксперимента 1 показывают, что маршрут схемной реализации без предварительной оптимизации также является достаточно успешным, так как реализованные в синтезаторе LeonardoSpectrum программы оптимизации оказались конкурентоспособными при получении схем с пониженным энергопотреблением.

С целью максимального приближения результатов эксперимента к современным производственным условиям был проведен повторный синтез схем с применением Design Compiler – инструмента логического синтеза компании Synopsys. В качестве элементной базы использована библиотека цифровых стандартных ячеек SAED32/28, разработанная в учебном департаменте ЗАО “Синописис Армения” [9, 10]. Результаты этих экспериментов синтеза схем в библиотеке SAED32/28 приведены в табл. 2. Столбцы с номерами 1, 2, 3 в табл. 2 задают площади (и потребляемые токи) схем, полученных повторным синтезом из схем - результатов экспериментов 1, 2 и 3 соответственно. Каждое их приведенных в

табл. 2 значений площади представляет суммарную площадь, занимаемую элементами схемы. Оценка энергопотребления проводилась на псевдослучайных наборах тестов и выполнялась в Design Compiler.

Следующие два эксперимента (четвертый и пятый) были посвящены изучению эффективности программ структурной оптимизации для снижения энергопотребления уже синтезированных схем из элементов библиотеки SAED32/28.

**Эксперимент 4.** Схемы, полученные в результате эксперимента 1, повторно проектировались (синтезировались) в библиотеке SAED32/28, затем к полученным схемам применялась программа структурной оптимизации, реализующая метод калибровки логических ячеек (элементов) схемы. По сути, к каждой схеме из столбца 1 (табл. 2) применялась программа калибровки элементов этой схемы.

Результаты эксперимента 4 (площади и потребляемые токи) приведены в табл. 2 в столбцах с номером четыре.

**Эксперимент 5.** Схемы, полученные в результате эксперимента 3, повторно проектировались в библиотеке SAED32/28, затем к полученным схемам применялась программа структурной оптимизации, реализующая метод калибровки логических ячеек, т.е. к каждой схеме из столбца 3 (табл. 2) применялась программа калибровки элементов этой схемы.

Результаты эксперимента 5 приведены в табл. 2 в столбцах с номером пять.

Таблица 2

Результаты эксперимента для библиотеки SAED32/28 с применением Design Compiler

Наименование схемы	Эксперимент									
	Площадь схем (мкм <sup>2</sup> )					Энергопотребление схем (потребляемый ток, мА)				
	1	2	3	4	5	1	2	3	4	5
1	2	3	4	5	6	7	8	9	10	11
ADR4	811	79	58	811	*53	1543	153	116	1090	*88
ALU1	*42	64	64	52	52	97	135	135	*81	*81
B9	*135	229	177	157	159	284	441	361	*224	246
BR1	226	182	202	196	*181	379	311	365	229	*242
BR2	158	152	151	*124	133	318	252	252	133	137
CLPL	*21	*21	*21	*21	*21	30	30	30	*27	*27
CO14	*76	93	93	83	83	139	168	168	*112	*112
DC2	212	196	166	207	*152	361	365	305	262	*235
DIST	631	626	508	661	*460	1226	1170	940	869	*677
EX7	*135	229	177	157	159	284	441	361	*224	246
LOG8MOD	236	208	193	223	*178	430	383	347	291	*270
M1	147	159	136	140	*124	249	280	238	*171	176
M2	535	454	441	532	*403	948	869	785	712	*587
M3	637	598	440	584	*404	1204	1140	799	751	*599

Продолжение табл. 2

1	2	3	4	5	6	7	8	9	10	11
MAX46	261	276	274	268	*244	481	520	463	407	*312
MP2D	239	130	126	236	*104	411	233	218	291	*91
NEWAPLA	*32	85	79	36	72	45	46	53	*23	30
NEWAPLA2	83	34	34	*30	32	140	125	139	*87	90
NEWBYTE	37	37	37	*31	*31	61	61	61	*28	*28
NEWCOND	111	116	100	126	*93	209	205	190	171	*141
NEWCPA1	197	217	220	*180	199	352	385	371	209	*267
NEWCPA2	104	106	139	*86	121	208	208	280	*112	171
NEWILL	38	43	36	38	*34	71	79	60	56	*43
NEWTAG	13	13	14	*12	13	27	27	23	21	*17
NEWTPLA	29	112	109	*31	93	43	43	40	29	*16
NEWTPLA1	57	29	26	27	*21	89	85	96	*64	70
NEWTPLA2	112	60	57	56	*51	199	199	201	133	*121
P82	162	169	154	147	*138	304	347	304	*185	208
RADD	256	114	61	251	*57	481	228	111	328	*88
RD53	94	88	71	91	*62	184	163	142	125	*85
RD73	*102	176	123	124	120	*190	339	237	220	209
ROOT	332	257	204	355	*186	625	447	375	505	*282
RYY6	30	*25	30	28	27	64	44	65	*41	45
SEX	*80	105	102	89	94	129	176	191	*120	129
SQN	306	199	169	275	*159	606	368	319	364	*266
T3	*124	136	147	126	127	234	233	263	158	*155
Z4	342	50	47	346	*46	623	97	79	517	*70
Z5XP1	924	319	211	896	*181	1806	614	405	1210	*276
Число лучших решений	<b>9</b>	<b>2</b>	<b>1</b>	<b>8</b>	<b>23</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>15</b>	<b>26</b>

В табл. 2, так же, как и в табл. 1, символом «\*» отмечены лучшие решения – значения площадей и потребляемых схемами токов. Анализ табл. 2 показал, что использование библиотеки цифровых стандартных ячеек SAED32/28 не привело к большим сравнительным изменениям показателей по экспериментам 1, 2 и 3, а абсолютные значения показателей улучшились, что и следовало ожидать.

Применение структурной оптимизации методом калибровки логических ячеек для схем, построенных без использования программы BDD-оптимизации, во всех случаях приводит к снижению энергопотребления в среднем на 29%. При этом площадь схем уменьшается в среднем на 4,2%, однако в 12-ти примерах схем наблюдается увеличение площади в среднем на 12%. При использовании в качестве исходных схем, построенных по минимизированным BDD-представлениям систем функций, во всех случаях происходит снижение энергопотребления схем в среднем на 29% без увеличения площади, причем в 20 примерах схемы получают лучшими как по площади, так и по энергопотреблению. Следова-

тельно, для получения лучших результатов (по площади и по энергопотреблению) рекомендуется совместное применение программ оптимизации на основе BDD-представления систем функций и программ, реализующих метод калибровки логических ячеек.

**Заключение.** В маршрут синтеза логических схем целесообразно включить программы оптимизации многоуровневых представлений систем функций на основе разложения Шеннона, что позволяет обеспечить во многих случаях получение схем меньшей площади и сниженного энергопотребления. Однако уменьшение площади схемы не всегда ведет к меньшему энергопотреблению. Для получения схем с пониженным энергопотреблением нужно уменьшить число узлов схемы и число связей элементов (нагрузочные способности элементов), а также число гонок сигналов, вызывающих дополнительные переключения транзисторов и внутренних узлов схемы, которые приводят к увеличению потребляемого тока, а следовательно, к потребляемой мощности. Применение структурной оптимизации схем методом калибровки логических ячеек приводит к уменьшению энергопотребления в среднем на 29% с увеличением площади схем не более чем на 12%. Эксперименты показали, что последовательное применение структурной оптимизации методом калибровки логических ячеек к схемам, построенным по оптимизированным BDD-представлениям, приводит к наилучшим результатам среди маршрутов проектирования, экспериментально исследованных в данной работе.

*Исследование выполнено в рамках совместного Армяно-Белорусского научного проекта при поддержке ГКН МОН РА (проект 13РБ-045) и Белорусского республиканского фонда фундаментальных исследований (проект Ф14АРМ-005).*

## СПИСОК ЛИТЕРАТУРЫ

1. **Рабан Ж.М., Чандракасан А., Николич Б.** Цифровые интегральные схемы. Методология проектирования. - М.: ООО «И.Д. Вильямс», 2007. – 912 с.
2. **Бибило П.Н.** Применение диаграмм двоичного выбора при синтезе логических схем. – Минск: Беларуская навука, 2014. – 231 с.
3. **Brayton K.R., Hachtel G.D., McMullen C.T., Sangiovanni-Vincentelli A.L.** Logic minimization algorithm for VLSI synthesis. – Boston, e.a.: Kluwer Academic Publishers, 1984. – 193 p.
4. **Меликян В.Ш.** Теория моделирования и оптимизации цифровых схем с учетом дестабилизирующих факторов. – Ер.: Изд-во ГИУА “Чартарагет”, 2011.- 348 с.
5. <http://www1.cs.columbia.edu/~cs4861/sis/espresso-examples/ex/>
6. **Бибило П.Н., Кириенко Н.А.** Оценка энергопотребления логических КМОП-схем по их переключательной активности // Микроэлектроника. – 2012. – № 1. – С. 65 – 77.
7. **Бибило П.Н., Леончик П.В.** Алгоритм построения диаграммы двоичного выбора для системы полностью определенных булевых функций // Управляющие системы и машины. – 2009. – № 6. – С. 42–49.

8. **Авдеев Н.А., Бибило П.Н.** Оценка энергопотребления цифрового блока СБИС // Современная электроника. – 2009. – № 9. – С. 46 – 49.
9. Digital Standard Cell Library.- SAED\_EDK32/28. DATABOOK.- SYNOPSIS ARME-NIA Educational Department.- Yerevan, 2011. - 152 p.
10. Design Compiler. User Guide Version K-2015.06, June 2015.- 738 p.

Объединенный институт проблем информатики НАН Беларуси. Национальный политехнический университет Армении. Материал поступил в редакцию 10.09.2015.

**Ն.Ա. ԱՎԴԵԵՎ, Պ.Ն. ԲԻԲԻԼՈ, Վ.Շ. ՄԵԼԻԿՅԱՆ, Ա.Գ. ՀԱՐՈՒԹՅՈՒՆՅԱՆ**

**ՏՐԱՍԱԲԱՆԱԿԱՆ ԵՎ ԿԱՌՈՒՑՎԱԾՔԱՅԻՆ ԼԱՎԱՐԿՄԱՆ ԿԻՐԱՌՈՒՄԸ ՑԱԾՐ ԷՆԵՐԳԱՍՊԱՌՄԱՍԲ ԿՄՕԿ ՄԽԵՄԱՆԵՐԻ ՄԻՆԹԵԶԻ ԺԱՄԱՆԱԿ**

Նկարագրվում են համակցական սխեմաների սինթեզի ժամանակ լրիվ որոշված բուլյան ֆունկցիաների համակարգերի տարբեր ներկայացումների նվազարկման ծրագրերի արդյունավետության փորձնական հետազոտությունների համեմատական արդյունքները: Մեծ թվով գործնական օրինակներով կատարված փորձերը ցույց են տվել, որ գրադարանային կոմպլեմենտար մետաղ-օքսիդ-կիսահաղորդիչ համակցական սխեմաների մակերեսի և էներգասպառման նվազեցման համար առավել զերադասելի են Շեննոնի տարալուծման վրա հիմնված բազմամակարդակ ներկայացման նվազարկման ծրագրերը: Սինթեզված սխեմաների էներգասպառման հետագա նվազեցումը հնարավոր է սխեմայի կառուցվածքային վերակազմավորման ծրագրերի կիրառմամբ:

**Առանցքային բառեր.** տրամաբանական սխեմաների սինթեզ, տրամաբանական լավարկում, կառուցվածքային լավարկում, էներգասպառման նվազեցում, գրադարանային տրամաբանական տարրեր:

**N.A. AVDEEV, P.N. BIBILO, V.SH. MELIKYAN, A.G. HARUTYUNYAN**

**APPLYING THE LOGICAL AND STRUCTURAL OPTIMIZATION AT THE SYNTHESIS OF CMOS CIRCUITS WITH LOW POWER CONSUMPTION**

Comparative results of an experimental study of the efficiency of programs to minimize various representations of systems completely defined by Boolean functions at the synthesis of combinational circuits are described. Experiments on a large number of case studies have shown that more preferable methods to reduce the area and power consumption of combinational complementary metal-oxide-semiconductor (CMOS) circuits from library elements are the minimization programs of multilevel representations on the basis of the Shannon decomposition. The reduction of power consumption of the synthesized circuits is possible in the subsequent application of structural adjustment of circuits.

**Keywords:** logic synthesis, logic optimization, structural optimization, reduction of power consumption, library logic cells.