

О.А. ПЕТРОСЯН, Н.Б. АВДАЛЯН

РАЗРАБОТКА ОБОБЩЕННОГО МЕТОДА МИНИМИЗАЦИИ РАССЕИВАЕМОЙ МОЩНОСТИ ЛОГИЧЕСКИХ КОМПЛЕМЕНТАРНЫХ МЕТАЛЛ–ОКСИД–ПОЛУПРОВОДНИКОВЫХ СХЕМ

Рассматривается обобщенный метод оценки рассеиваемой мощности логических схем, позволяющий осуществлять быструю и точную оценку и минимизацию рассеиваемой мощности при их реализации по комплементарной металл–оксид–полупроводниковой (КМОП) технологии, а также исключать ложные сигналы на выходе узлов логических схем. Приведенные примеры использования разработанного метода подтверждают его достоверность.

Ключевые слова: рассеиваемая мощность, активность переключения, сигнальные вероятности, ложный сигнал.

Введение. При проектировании сверхбольших интегральных схем (СБИС) перед специалистами возникает задача уменьшения рассеиваемой мощности и обеспечения их устойчивой работы. В работе при анализе логических КМОП СБИС и оценке рассеиваемой мощности принято использование синхронной реализации схем, частота синхронизации и напряжение питания которых фиксированы. Для оценки динамической мощности используется метод, основанный на вероятностных характеристиках входных сигналов.

Оценка рассеиваемой мощности СБИС. Рассеиваемая мощность КМОП СБИС состоит из двух составляющих - статической $P_{ст}$ и динамической $P_{дин}$:

$$P = P_{дин} + P_{ст} . \quad (1)$$

Динамическая мощность рассеивается при переключениях логических элементов (ЛЭ). Динамическая мощность определяется токами заряда/разряда паразитных емкостей ЛЭ и сквозными токами ЛЭ при переключении и зависит от переключательной активности схемы, т.е. чем выше переключательная активность схемы, тем больше мощность. В КМОП СБИС около 80% рассеиваемой мощности приходится на динамическую составляющую [1-5].

Статическая мощность не зависит от активности внутренней логики и рассеивается в пассивном режиме или в режиме ожидания. Статическая мощность рассеивается, когда ЛЭ находится в некотором фиксированном логическом состоянии ("0" или "1"), и обусловлена токами обратного смещения р - n переходов, подпороговыми токами и туннельными токами через подзатворный диэлектрик.

Статическая мощность не зависит от переключений и определяется выражением [6]

$$P_{\text{leak}} = V_{\text{DD}} N K_d I_{\text{leak}}, \quad (2)$$

где N - число транзисторов СБИС; K_d - эмпирический коэффициент, учитывающий особенности технологии; I_{leak} - ток утечки одного транзистора.

С учетом сквозного тока в виде дополнительной емкости нагрузки динамическую мощность СБИС, реализованную по КМОП технологии (амплитуда V_j переключения j -го узла с $0 \rightarrow 1$ или $1 \rightarrow 0$ равна напряжению V_{DD} источника питания), можно рассчитать по формуле [1-7]

$$P_{\text{дин}} = \frac{C_0 V_{\text{DD}}^2 \sum_j^l (k_j s_j)}{2t}, \quad (3)$$

где C_0 - нормализованная емкостная нагрузка одного входа ЛЭ; k_j - число входов ЛЭ j -го узла; s_j - количество переключений в j -ом узле СБИС; l - число узлов СБИС; t - время потребления энергии.

Для оценки динамической мощности и ее уменьшения необходимо знать суммарное число переключений в СБИС и время, в течение которого эти переключения произошли [5]. Активность переключения определяется на основе табл. 1 и 2.

Таблица 1

Таблица истинности ЛЭ

Входная комбинация		Выходные значения ЛЭ			
X_1	X_2	И	ИЛИ	И-НЕ	ИЛИ-НЕ
0	0	0	0	1	1
0	1	0	1	1	0
1	0	0	1	1	0
1	1	1	1	0	0

Таблица 2

Выражения сигнальных вероятностей на выходе ЛЭ

Тип ЛЭ	Сигнальные вероятности на выходе ЛЭ
И	$P(y) = P(x_1) * P(x_2)$
ИЛИ	$P(y) = P(x_1) + P(x_2) - P(x_1) * P(x_2)$
НЕ	$P(y) = 1 - P(x_1)$
И-НЕ	$P(y) = P(x_1) + P(x_2) - P(x_1) * P(x_2)$
ИЛИ-НЕ	$P(y) = P(x_1) * P(x_2)$

На рис. 1 и 2 приведены зависимости вероятности выходного сигнала и активности переключения от вероятности входных сигналов двухвходовых ЛЭ.

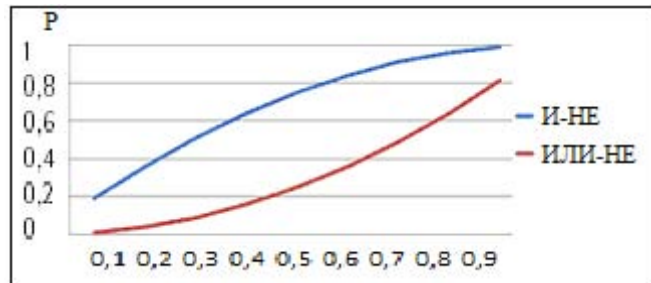


Рис. 1. Вероятность выходного сигнала

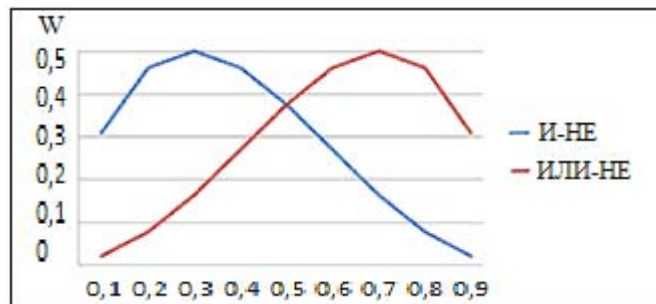


Рис. 2. Активность переключения

Из рис. 1 видно, что для одинаковых вероятностей входных сигналов вероятность выходного сигнала для ЛЭ “И-НЕ” больше, чем для ЛЭ “ИЛИ-НЕ”. Для уменьшения динамической мощности особое значение имеет зависимость активности переключения от вероятности входных сигналов (рис. 2). Из рис. 2 видно, что при малых значениях вероятностей входных сигналов целесообразно использовать ЛЭ “ИЛИ-НЕ”, а при их больших значениях - ЛЭ “И-НЕ”, так как в этих случаях активность переключения наименьшая.

Вероятность выходных сигналов ЛЭ при числе входов $n(e)$ определяется:

- для ЛЭ “И” и “ИЛИ-НЕ”:

$$P_e = \prod_{i=1}^{n(e)} P_i ; \quad (4)$$

- для ЛЭ “ИЛИ” и “И-НЕ”:

$$P_e = 1 - \prod_{i=1}^{n(e)} (1 - P_i) . \quad (5)$$

Если для A_i -го узла СБИС вероятность появления выходного сигнала 1 (или 0) равна p_i , то переключательная активность (вероятность того, что в узле будет изменение сигнала $0 \rightarrow 1$ или $1 \rightarrow 0$) узла будет $W(A_i) = p_i^{1 \rightarrow 0} + p_i^{0 \rightarrow 1}$. Переключательная активность ЛЭ рассчитывается двумя способами:

$$W(A_i) = 2p_i(1-p_i) \text{ или } W(p) = p_1 * W(2) + p_2 * W(1), \quad (6)$$

где $W(p)$ - выходная переключательная активность узла; p_1, p_2 и $W(1), W(2)$ - вероятности переключения и переключательные активности на входах ЛЭ соответственно.

Общая переключательная активность определяется в виде

$$W = \sum_i W_i. \quad (7)$$

Вышеприведенные формулы позволяют рассчитать активность переключения цифровых КМОП СБИС и оценить их динамическую мощность.

Существует метод, позволяющий в результате синтеза получить схему с наименьшей активностью переключения и динамической мощностью [1-6]. Однако этот метод не учитывает, что в схеме сигналы могут распространяться от входа к выходу разными путями, а это может привести к появлению на выходе ложных сигналов (рис. 3).

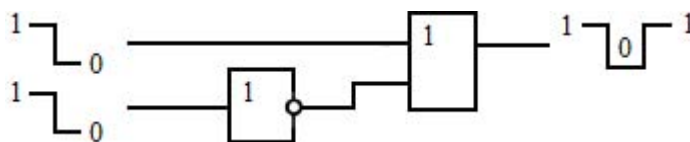


Рис. 3. Модель логической схемы с реальными задержками

Для решения этой задачи можно использовать ЛЭ с разрешающим сигналом, что может привести к дополнительной сигнальной линии enable и ограничению применения при большой степени интеграции СБИС.

Разработка обобщенного метода. Разработан обобщенный метод минимизации рассеиваемой мощности, позволяющий максимально уменьшить разницу путей распространения сигналов от входа до выхода. Эта проблема решается применением дополнительной инверторной пары реплик и введением понятия порогового значения пути распространения сигнала. Пороговое значение t служит критерием для оптимизации СБИС. При выполнении условия $W(1) - W(2) < t$ для путей распространения сигнала отпадает необходимость применения дополнительной инверторной пары реплик. Сущность метода в сжатом виде можно представить в виде алгоритма синтеза.

1. Задание функции, которая должна реализоваться после синтеза в виде конъюнктивных (КНФ) или дизъюнктивных нормальных форм (ДНФ).

2. Составление вектора вероятностей переключения входных сигналов $P = |p_1, p_2, p_3, p_4, \dots, p_n|$.

3. Выбор из вектора $P = |p_1, p_2, p_3, p_4, \dots, p_n|$ пары (p_f, p_k) , для которой активность переключения, согласно выражениям (4)-(7), минимальна, и замена этой пары вероятностью сигнала нового ЛЭ: $P = |p_1, p_{23}, p_4, \dots, p_n|$. В результате число элементов вектора уменьшается на единицу.

4. Повторение п.3 до тех пор, пока содержимое вектора вероятности не сравняется с 1.

5. Выбор двух разных путей от входов к выходу, для которых активность переключения: $W(1) = m$, $W(2) = n$, причем $m > n$.

6. Расчет разницы активностей переключения: $W(1) - W(2) = m - n$.

7. Задание порогового значения $t = x$, которое в зависимости от технологии может меняться в пределах $0,1 \dots 0,5$.

8. Добавление инверторной реплики, если $W(1) - W(2) > t$ или $m - n > x$.

9. Определение d - количества пар реплик:

$$d = \frac{W(1) - W(2)}{W(\text{реплика})}.$$

10. Проведение проверки: если добавленная пара реплик d превышает сумму порогового значения и длинного пути, то добавляется пара $(c - 1)$ реплик в цепи с коротким путем:

$$(n + d * W(\text{реплика})) - m > x.$$

11. Проведение проверки: если добавленная пара реплик $(d - 1)$ меньше суммы порогового значения длинного пути:

$$(n + d * W(\text{реплика})) - m < x,$$

то на этом участке применяется ЛЭ с разрешающим сигналом.

Примеры применения разработанного обобщенного метода. Известно, что в КМОП СБИС ЛЭ “И” реализуются инверсией ЛЭ “И-НЕ”, а ЛЭ “ИЛИ” - инверсией ЛЭ “ИЛИ-НЕ”. Изменение типа ЛЭ проводится на основе булевой алгебры. Например, задана функция $Y = p_1 * p_2 * p_3 * p_4 * p_5$ КНФ с вероятностями входных сигналов $p_1 = p_2 = p_3 = p_4 = p_5 = 0,5$. Применяя пп.1-4 разработанного обобщенного метода, получим схему с наименьшей рассеиваемой мощностью (рис. 4).

Из рис. 5 видно, что из-за разницы длины путей распространения входных сигналов на выходе схемы возникают ложные сигналы, которые, в свою очередь, увеличивают рассеиваемую мощность от 9 до 38% [1]. На рис. 6 приведен другой вариант реализации схемы, выполняющий заданную функцию $Y = p_1 * p_2 * p_3 * p_4 * p_5$.

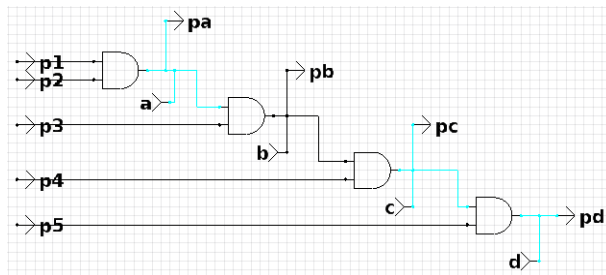


Рис. 4. Схема с наименьшей рассеиваемой мощностью

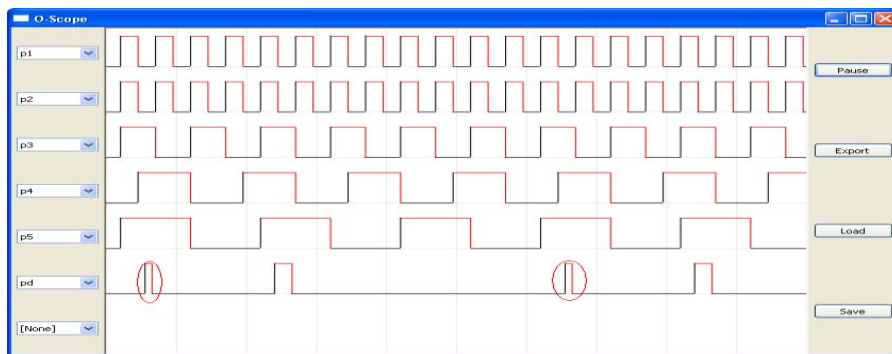


Рис. 5. Возникновение ложных сигналов на выходе схемы рис. 4

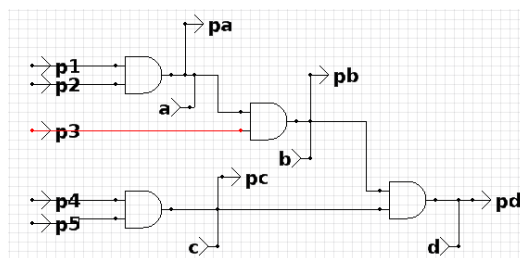


Рис. 6. Схема второго варианта с наименьшей рассеиваемой мощностью

Расчеты вероятностей входных сигналов и активности переключения (табл. 3) для схем, приведенных на рис. 4 и 6, показывают, что активность переключения схемы на рис. 4 при наиболее длинной цепи ($W(\text{Total})=0,7713$) меньше активности переключения схемы рис. 6 ($W(\text{Total})=1,0292$). Это приводит к уменьшению мощ-

ности схемы (рис. 4) ~ в 1,33 раза по сравнению со схемой рис. 2. Из рис. 7 видно, что на выходе схемы (рис. 6) возникают ложные сигналы.

Далее проводится следующий этап оптимизации: замена ЛЭ “И” на ЛЭ “И-НЕ”, “ИЛИ-НЕ” и “НЕ” с учетом правил булевой алгебры и КМОП технологии (рис. 8). Из рис. 9 видно, что на выходе схемы (рис. 8) возникают ложные сигналы.

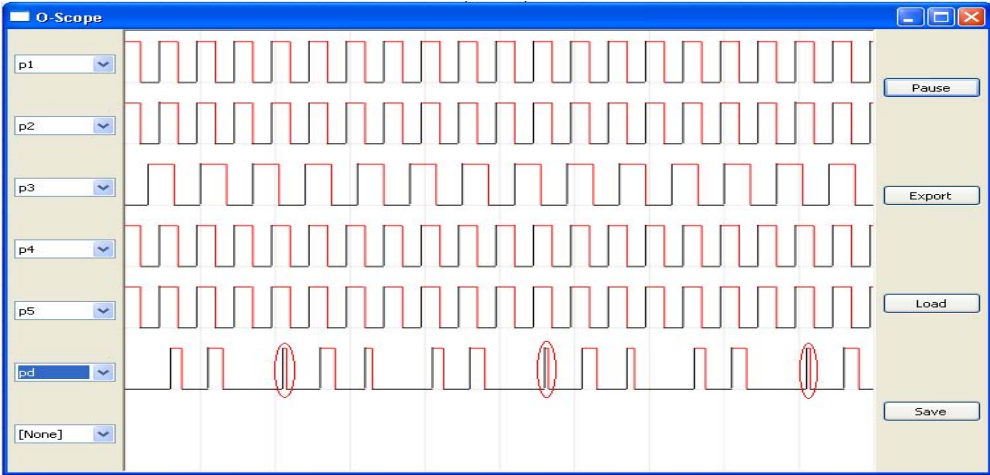


Рис. 7. Возникновение ложных сигналов на выходе схемы рис. 6

Таблица 3

Вероятность входных сигналов и активность переключения

Схема, приведенная на рис.1	
$p_a = p_1 * p_2 ; W(a) = 2 * p_a (1 - p_a)$	$p_a = 0,25 ; W(a) = 0,375$
$p_b = p_a * p_3 ; W(b) = 2 * p_b (1 - p_b)$	$p_b = 0,125 ; W(b) = 0,2187$
$p_c = p_b * p_4 ; W(c) = 2 * p_c (1 - p_c)$	$p_c = 0,0625 ; W(c) = 0,1171$
$p_d = p_c * p_5 ; W(d) = 2 * p_d (1 - p_d)$	$p_d = 0,03125 ; W(d) = 0,0605$
$W(Total) = W(a) + W(b) + W(c) + W(d)$	$W(Total) = 0,7713$

Схема, приведенная на рис.2	
$p_a = p_1 * p_2 ; W(a) = 2 * p_a (1 - p_a)$	$p_a = 0,25 ; W(a) = 0,375$
$p_b = p_a * p_3 ; W(b) = 2 * p_b (1 - p_b)$	$p_b = 0,125 ; W(b) = 0,2187$
$p_c = p_4 * p_5 ; W(c) = 2 * p_c (1 - p_c)$	$p_c = 0,25 ; W(c) = 0,375$
$p_d = p_b * p_c ; W(d) = 2 * p_d (1 - p_d)$	$p_d = 0,03125 ; W(d) = 0,0605$
$W(Total) = W(a) + W(b) + W(c) + W(d)$	$W(Total) = 1,0292$

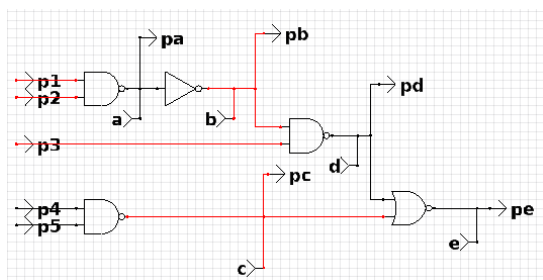


Рис. 8. Схема с заменой типов ЛЭ

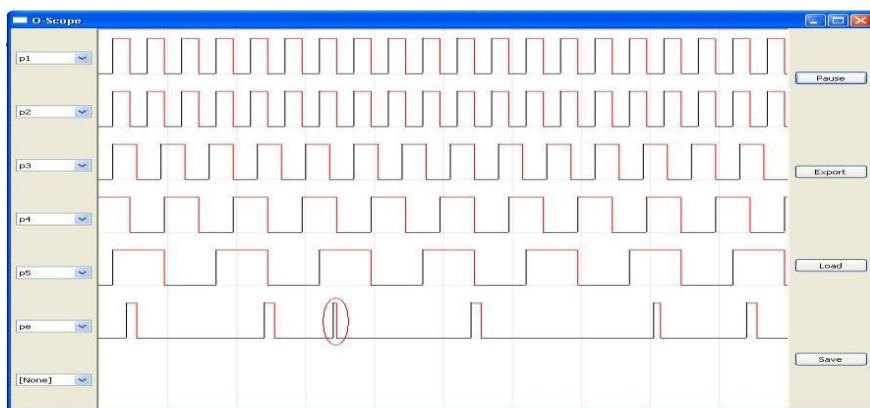


Рис. 9. Возникновение ложных сигналов на выходе схемы рис. 8

Исходя из значений активности переключения схемы рис. 8, приведенных в табл. 4, проводится следующий этап разработанного метода. Очевидно, что в схеме, приведенной на рис. 8, возможны три пути: 1) a, b, d, e; 2) d, e; 3) c, e. Активности переключения этих путей равны

1. $W(\text{Total}) = W(a) + W(b) + W(d) + W(e) = 1,7167$.
2. $W(\text{Total}) = W(d) + W(e) = 0,9667$.
3. $W(\text{Total}) = W(c) + W(e) = 0,8730$.

Таблица 4

Вероятности входных сигналов и активности переключения схемы рис. 4

$p_a = p_1 + p_2 - p_1 * p_2$; $W(a) = 2 * p_a(1 - p_a)$	$p_a = 0,75$; $W(a) = 0,375$
$p_b = 1 - p_a$; $W(b) = 2 * p_b(1 - p_b)$	$p_b = 0,25$; $W(b) = 0,375$
$p_c = p_4 + p_5 - p_4 * p_5$; $W(c) = 2 * p_c(1 - p_c)$	$p_c = 0,75$; $W(c) = 0,375$
$p_d = p_b + p_3 - p_b * p_3$; $W(d) = 2 * p_d(1 - p_d)$	$p_d = 0,625$; $W(d) = 0,4687$
$p_e = p_d * p_c$; $W(e) = 2 * p_e(1 - p_e)$	$p_e = 0,4687$; $W(e) = 0,4980$

Далее проводится следующий этап оптимизации с учетом значения порога, равного 0,3. В результате получается схема, приведенная на рис.10.

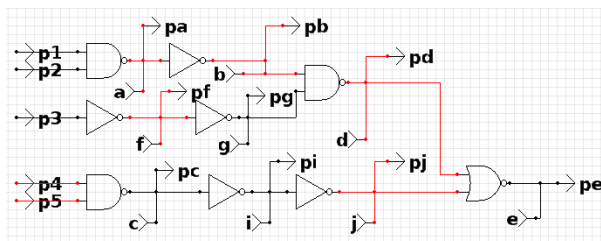


Рис. 10. Оптимизированная схема для заданной функции

Из рис.11 видно, что на выходе схемы (рис.10) отсутствуют ложные сигналы.

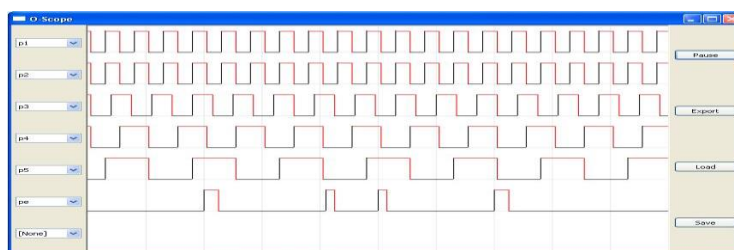


Рис. 11. Диаграмма с отсутствием ложных сигналов на выходе схемы рис. 9

Для вышеуказанных путей распространения сигнала активности переключения для оптимизированной схемы равны

1. $W(\text{Total}) = W(a) + W(b) + W(d) + W(e) = 1,7167$.
2. $W(\text{Total}) = W(d) + W(e) = 1,9667$.
3. $W(\text{Total}) = W(c) + W(e) = 1,6285$.

Полученные результаты активности переключения схем, приведенных на рис. 8 и 10, имеют одинаковое значение и удовлетворяют условию длинного пути с суммированием или вычетом порога. Следует отметить, что на выходе схемы, синтезированной по разработанному методу (рис. 10), отсутствуют ложные сигналы (рис. 11), и такая схема является наиболее оптимальной и устойчивой.

Выводы. В работе получены следующие основные результаты:

1. Показано, что при малых значениях вероятностей входных сигналов целесообразно использовать ЛЭ “ИЛИ-НЕ”, а при их больших значениях - ЛЭ “И-НЕ”, так как при этом переключательная активность сигналов наименьшая и обеспечивается минимальная динамическая мощность проектируемых СБИС.
2. Введено понятие порогового значения пути распространения сигнала, сущность которого определяет выполнение условия оптимизации СБИС с минимизированной рассеиваемой мощностью.
3. Разработан обобщенный метод минимизации рассеиваемой мощности логических КМОП схем, основанный на задании вероятностей переключения входных сигналов.

СПИСОК ЛИТЕРАТУРЫ

1. **Мурашко И.А.** Методы оценки рассеиваемой мощности в цифровых КМОП схемах // Доклады БГУИР. – 2007.- № 1 (17). - С. 100-108.
2. **Мурашко И.А., Ярмолик В.Н.** Методы минимизации энергопотребления при самотестировании цифровых устройств. - Минск: Бестпринт, 2004. - 188 с.
3. **Черемисинова Л.Д.** Логический синтез комбинационных КМОП схем с учетом рассеивания мощности // Вестник Томского государственного университета. Управление, вычислительная техника и информатика.- 2014. - № 3 (28).-С. 89-98.
4. **Черемисинова Л.Д.** Оценка энергопотребления КМОП схем на логическом уровне // Информационные технологии.- 2010.- №8 (168). - С. 27-35.
5. **Theodoridis G., Theoharis S., Soudris D. and Goutis C.** A Probabilistic Power Estimation method for combinational circuits under real gate delay model // VLSI DESIGN.-2001.- Vol. 12, No. 1. -P. 69- 79.
6. **Петросян О.А., Авдалян Н.Б., Меликян Г.Ш.** Сравнительная оценка рассеиваемой мощности накопителей КМОП статических оперативных запоминающих устройств // Вестник ГИУА. Серия "Информационные технологии, электроника, радиотехника". -2004.- Вып.17, №1. -С. 60-68.
7. **Logic Picture-Based Dynamic Power Estimation for Unit Gate-Delay Model CMOS / Omnia S. Ahmed, Mohamed F. Abu-Elyazeed, Mohamed B. Abdelhalim, et al** // Circuits. Circuits and Systems.- 2013.- 4.- P. 276-279 .

Национальный политехнический университет Армении, ЗАО “Синописис Армения”.
Материал поступил в редакцию 05.05.2015.

Օ.Հ. ՊԵՏՐՈՍՅԱՆ, Ն.Բ. ԱՎԴԱԼՅԱՆ

ՏՐԱՄԱՐԱՆԱԿԱՆ ԿՄՕԿ ՍԽԵՄԱՆԵՐԻ ՑՐՄԱՆ ՀԶՈՐՈՒԹՅԱՆ ՆՎԱԶԱՐԿՄԱՆ ԸՆԴՀԱՆՐԱՅՎԱԾ ՄԵԹՈԴԻ ՄՇԱԿՈՒՄԸ

Դիտարկվում է տրամաբանական սխեմաների ցրման հզորության գնահատման ընդհանրացված մեթոդը, որը թույլ է տալիս կատարել ԿՄՕԿ տեխնոլոգիայով դրանց իրականացման դեպքում ցրման հզորության արագ և ճշգրիտ գնահատում ու նվազարկում, ինչպես նաև բացառել տրամաբանական սխեմաների հանգույցների ելքում կեղծ ազդանշանները: Մշակված մեթոդի օգտագործման համար բերված օրինակները հաստատում են նրա հավաստիությունը:

Առանցքային բաներ. ցրման հզորություն, փոխանցատման ակտիվություն, ազդանշանային հավանականություն, կեղծ ազդանշան:

O.A. PETROSYAN, N.B. AVDALYAN

DEVELOPING A GENERALIZED METHOD FOR MINIMIZING THE DISSIPATED POWER OF LOGIC CMOS CIRCUITS

A generalized method for estimating the dissipated power of logic circuits, allowing a rapid and accurate assessment and minimization of dissipated power at their implementation by CMOS technology, as well as exclude the false signals at the output of the logic circuit nodes is developed. These examples of applying the developed method confirm its truth.

Keywords: dissipated power, switching activity, signal probability, false signal.