

А.Г. АРУТЮНЯН, Л.Л. МХИТАРЯН

**УПРАВЛЕНИЕ ДЛИНАМИ ЦЕПЕЙ ПРИ НАЧАЛЬНОМ РАЗМЕЩЕНИИ
ЛОГИЧЕСКИХ ЯЧЕЕК ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ**

Предложен метод начального размещения логических ячеек цифровых интегральных схем (ИС), основанный на предварительной оценке резервов времени цепей и дальнейшем их использовании для управления длинами цепей. Данный метод обеспечивает повышение быстродействия проектируемой ИС.

Ключевые слова: цифровая интегральная схема, резерв времени, критический путь, логическая ячейка, начальное размещение.

Введение. В ИС задержка сигнала на некотором пути вход-выход состоит из двух составляющих, представляющих собой суммарные задержки, соответственно, всех логических ячеек и межсоединений, лежащих на рассматриваемом пути. При этом быстродействие некоторой комбинационной схемы определяется задержкой сигнала в критических путях вход-выход с максимальной задержкой. С уменьшением технологических размеров и увеличением интеграции ИС доля задержки сигналов в линиях связи увеличивается и в современных ИС достигает до 80...90% от общей задержки сигнала. Следовательно, быстродействие современных цифровых ИС во многом зависит от временных задержек сигнала в межсоединениях. Эти задержки определяются RC параметрами линий связи, которые, в свою очередь, при определенной технологии в основном зависят от их длин. Окончательные длины межсоединений определяются при решении задачи трассировки, результаты которой во многом предопределяются размещением элементов. С этой целью в настоящее время во всех развитых САПР ИС внедряются средства размещения с учетом задержек в цепях, называемые методами управляемого временем размещения [1].

Управляемое временем размещение в основном предназначено для обеспечения минимальной длины межсоединений, лежащих на критических путях, и, следовательно, минимальной задержки сигнала на этих путях. В результате получаются некоторые целенаправленные топологические последовательности цепей от входов к выходам схемы.

Необходимость разработки новых методов управляемого временем размещения, продиктованная повышением быстродействия ИС и интеграции, а также масштабированием технологии, обусловлена следующими основными факторами:

- растущая доля задержек в межсоединениях по сравнению с задержками в логических вентилях;

- повышение функциональной интеграции ИС, что приводит к увеличению доли глобальных межсоединений и, как следствие, еще большему увеличению доли задержек в межсоединениях;
- увеличение тактовой частоты ИС, что приводит к более жестким требованиям к задержке сигнала на критических путях комбинационных схем;
- увеличение числа ИС типа систем на кристалле и многокристальных модулях, что диктует новые вызовы к управляемому временем размещению.

Состояние вопроса. Методы управляемого временем размещения могут быть сгруппированы в два класса: основанный на пути и основанный на цепи.

Подход, основанный на пути, непосредственно воздействует на все или подмножество путей вход-выход схемы [2]. Так как каждая логическая ячейка подключается к двум или более ячейкам, то управление длинами межсоединений критических путей затрагивает множество других цепей, в результате чего из-за увеличения длин цепей, которые подключены через лежащие на критических путях общие ячейки, может наблюдаться увеличение суммарной длины межсоединений ИС. При этом уменьшение задержки на критических путях может привести к появлению новых критических путей. В настоящее время эта проблема решается путем применения итерационных алгоритмов улучшения размещения с пошаговым уменьшением длин межсоединений критических путей до достижения приемлемых значений задержек.

Подход, основанный на цепи, имеет дело с отдельными цепями схемы. При этом, сокращая длины лежащих на критических путях отдельных цепей, можно добиться сокращения суммарной задержки путей [3]. Оба подхода имеют преимущества и недостатки по различным параметрам, таким как: машинное время, простота реализации, управляемость и т.д.

Основным недостатком метода, основанного на пути, является потребность больших машинных ресурсов при их реализации. Эти методы применяются на этапе оптимизации размещения, а их эффективность во многом зависит от результатов предварительного начального размещения.

Основной сложностью реализации метода, основанного на цепи, является трудность определения таких допустимых границ задержек в отдельных цепях, которые не привели бы к увеличению суммарных задержек критических путей и, как следствие, к повышению быстродействия схемы.

Предлагаемый в настоящей работе подход основан на оценке нижних и верхних допустимых границ задержки сигнала в отдельных цепях и тем самым возможности управления длинами межсоединений отдельных цепей при начальном размещении ячеек.

Описание метода. Предлагаемый метод управляемого временем размещения предполагает предварительную оценку раннего и позднего времен формирования сигнала и резервов времени всех цепей схемы, с помощью которых в

дальнейшем управляются длины цепей. Метод можно отнести к основанным на цепи подходам, однако в отличие от существующих алгоритмов начального размещения, в которых реализуется последовательное размещение ячеек по максимуму связанности, в настоящей работе предлагается новый подход, основанный на предварительном размещении цепей. Учитывая тот факт, что длины цепей определяются лишь после их трассировки, в задаче управления временем размещения становится важным моделирование длин межсоединений для оценки задержек [4].

Самым простым и наиболее широко используемым методом оценки длин цепей является полупериметрический метод.

Пусть для i -й цепи $x_{min}, y_{min}, x_{max}, y_{max}$ - соответственно минимальные и максимальные координаты минимального прямоугольника, охватывающего все контакты данной цепи. Тогда по полупериметрической модели длину i -й цепи (L_i) можно оценить по формуле

$$L_i = x_{max} - x_{min} + y_{max} - y_{min}. \quad (1)$$

Отметим, что это нижняя оценка длины цепи. Однако указанный метод дает точную оценку для цепей с количеством контактов не более трех и приемлемую, с инженерной точки зрения, точность оценки для большинства других цепей. Если учесть, что в большинстве реальных проектов ИС цепи с двумя и тремя контактами преобладают и составляют примерно 85% всех цепей, то на практике становится вполне оправданным применение полупериметрической модели [5].

Предлагаемый подход реализует следующие шаги:

1. Определение раннего и позднего времен формирования сигнала и резерва времени всех цепей схемы при линейном размещении ячеек.
2. Определение линейных координат, соответствующих раннему времени формирования сигнала всех цепей схемы.
3. Определение предварительных линейных координат ячеек с учетом резервов времени инцидентных им цепей. При этом допускаются взаимные перекрытия ячеек.
4. Легализация размещения ячеек. При этом ячейки выстраиваются в плотный линейный ряд с исключением перекрытий.
5. Двумерное превращение линейного размещения ячеек в соответствии с заданным отношением размеров сторон топологии.

1. Определение раннего и позднего времен формирования сигнала основано на статическом временном анализе схемы. Под ранним временем формирования сигнала для некоторой цепи (T_p) будем понимать минимальное время, необходимое для формирования правильного сигнала в данной цепи, начиная с момента

появления сигнала на основных входах схемы. Это время для некоторой i -й цепи (T_{pi}) определяется следующим образом:

$$T_{pi} = \begin{cases} T_{0k} & \text{для } k \in I, \\ \max_{j \in E_1(j,i)} [T_{pj} + t_{(j,i)}] & \text{для остальных цепей,} \end{cases} \quad (2)$$

где T_{0k} - момент появления сигнала на k -ом основном входе схемы; I – множество основных входов схемы; T_{pj} - раннее время формирования сигнала j -й цепи; $t_{(j,i)}$ - задержка ячейки, для которой j -я цепь является входной, а i -я - выходной; $E_{1(j,i)}$ - множество входных цепей ячейки, для которой j -я цепь является входной, а i -я – выходной.

Под поздним временем формирования сигнала для некоторой цепи (T_n) будем понимать ту максимальную суммарную задержку от основных входов схемы до данной цепи, которая еще не приводит к опозданию сигнала на основных выходах схемы. Для некоторой i -й цепи (T_{ni}) она определяется следующим образом:

$$T_{ni} = \begin{cases} \max_{i \in O} T_{pi} & \text{для } i \in O, \\ \min_{j \in E_2(i,j)} [T_{nj} - t_{(i,j)}] & \text{для остальных цепей,} \end{cases} \quad (3)$$

где O - множество основных выходов схемы; T_{nj} - позднее время формирования сигнала j -й цепи; $t_{n(j,i)}$ - задержка ячейки, для которой i -я цепь является входной, а j -я – выходной; $E_{2(j,i)}$ - множество входных цепей тех ячеек, для которых i -я цепь является входной.

Как видно из формулы (3), позднее время формирования сигнала всех цепей, соответствующих основным выходам схемы, принимается равным максимальному значению ранних времен формирования сигнала на этих же выходах. Это делается с целью предотвращения дополнительного опоздания формирования правильного сигнала на основных выходах схемы. Таким образом, хотя бы для одной выходной цепи будет соблюдаться равенство раннего и позднего времен формирования сигнала.

Под резервом времени i -й цепи будем понимать разность позднего и раннего времен формирования сигнала данной цепи:

$$R_i = (T_{ni} - T_{pi}). \quad (4)$$

С точки зрения проектировщика, резерв времени некоторой цепи показывает ту максимальную задержку на межсоединениях данной цепи, которая еще не приводит к опозданию формирования правильного сигнала на основных выходах схемы. Цепи с нулевым резервом времени определяют критические пути от основных входов до основных выходов схемы. Любая задержка на межсоединениях этих цепей приводит к опозданию сигнала на основных выходах схемы.

2. Линейные координаты цепей определяются с учетом следующих соображений:

- при обработке информации последовательность формирования сигнала в цепях производится с учетом увеличения значений ранних времен формирования сигнала в соответствующих цепях;

- максимальному значению раннего времени формирования сигнала $T_{p\max}$ соответствует максимальный линейный размер $L_{(G)\max}$ линейки размещения ячеек, равный суммарной длине всех ячеек, а линейная координата раннего времени формирования сигнала в некоторой i -й цепи $L_{(G)pi}$ пропорциональна значению задержки T_{pi} этой цепи и определяется следующим образом:

$$L_{(G)pi} = \frac{L_{(G)\max}}{T_{p\max}} T_{pi}. \quad (5)$$

С целью управления длинами цепей при размещении ячеек введем некоторый весовой коэффициент важности цепи, который будет определяться относительным значением разницы резерва времени данной цепи от максимального. Так как длина цепи обратно пропорциональна ее резерву времени, а также учитывая, что $R_{\min} = 0$, весовой коэффициент K_j для некоторой j -й цепи можно определить по формуле

$$K_j = 1 - \frac{R_j}{R_{\max}}. \quad (6)$$

3. Предварительная линейная координата некоторой i -й ячейки $L_{(C)i}$ с учетом инцидентности цепей этой ячейки определяется по ее средневзвешенному значению следующим образом:

$$L_{(C)i} = \frac{\sum_{j \in G_{Ci}} L_{(G)pj} K_j}{\sum_{j \in V_{Ci}} K_j}, \quad (7)$$

где $L_{(G)pj}$ - координата, соответствующая раннему времени формирования сигнала в j -й цепи; K_j - весовой коэффициент j -й цепи; $V_{(C)i}$ - множество цепей, инцидентных ячейке C_i .

4. Легализация размещения ячеек производится путем их плотного линейного упорядочения по мере возрастания их предварительных линейных координат.

5. Двумерное превращение линейного размещения ячеек производится путем их меандрообразной трансформации в соответствии с заданным отношением размеров сторон топологии [1].

Практическая реализация и результаты. На основе вышеприведенного метода разработан программный инструмент начального размещения логических ячеек цифровых схем, эффективность которого проверена на тестовых схемах.

Для простоты рассмотрим простейший пример размещения ячеек сгенерированной нами тестовой схемы под условным обозначением a28, Verilog описание которой приведено на рис. 1. Параметры логических ячеек выбраны из библиотеки стандартных ячеек, разработанной в учебном департаменте компании “Син-опсис Армения” [6]. В табл.1 приведены задержки и топологические длины логических ячеек тестовой схемы для указанной библиотеки.

```

module a1(G1,G2,G3,G4,G5,G6,G7,
G8,G9,G10,G11,G12,G13,G14,G15,G16,G17);
input G1,G2,G3,G4,G5, G6;
output G16,G17;
wire G7,G8,G9,G10,G11,G12,G13,G14;
not NOT1_1(G1,G7);
nor NOR2_1(G2,G3,G8);
and AND2_1(G4,G7,G9);
nor NOR2_2(G3,G5,G10);
nor NOR2_3(G7,G8,G11);
not NOT1_2(G8,G12);
or OR2_1(G3,G9,G13);
or OR2_2(G9,G10,G14);
nor NOR2_4(G6,G10,G15);
nand NAND3_1(G11,G12,G15,G16);
nand NAND3_2(G12,G13,G14,G17);
endmodule

```

Рис. 1. Verilog описание тестовой схемы a28

Значения раннего и позднего времен формирования сигнала, резерва времени и соответствующих линейных координат цепей определяются соответственно с помощью формул (2)-(4). Пользуясь формулой (5), определяются предварительные линейные координаты ячеек.

Таблица 1

Задержки и топологические длины логических ячеек тестовой схемы a1

Тип ячейки	NOT1x8	NOR2x1	NOR2x2	AND2x2	OR2x1	NAND3x1
Задержка (нс)	39	64	66	96	85	130
Длина (мкм)	4,95	2,24	3,2	2,88	2,56	4,16

На рис. 2 приведена графическая модель предварительного линейного размещения ячеек с указанием линейных координат раннего и позднего времен формирования сигнала каждой цепи тестовой схемы.

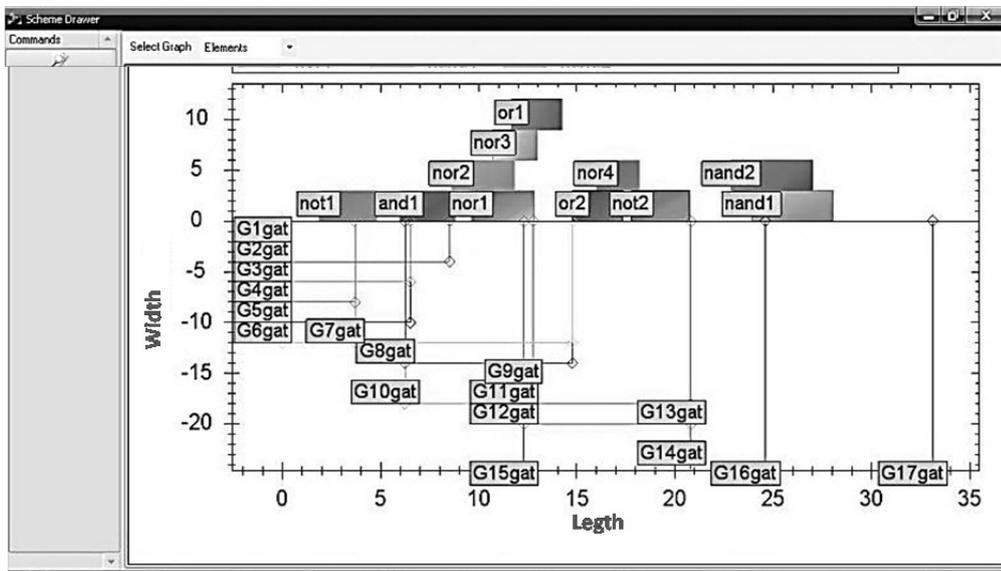


Рис. 2. Графическая модель предварительного линейного размещения ячеек тестовой схемы a28

Далее производится легализация размещенных ячеек в линейный ряд и его двумерное превращение в соответствии с заданным отношением размеров сторон топологии. В качестве координат отсчета приняты левые нижние края ячеек.

Полученные результаты двумерного размещения ячеек тестовой схемы при отношении размеров сторон топологии 1:2 приведены на рис. 3. На рисунке приведены также графические полупериметрические модели цепей.

Эффективность предложенного метода проверялась анализом задержек цепей. С целью временного анализа результатов размещения в алгоритмах управляемого временем размещения необходимо произвести переход от оценки длин цепей к оценке задержек сигнала в этих цепях.

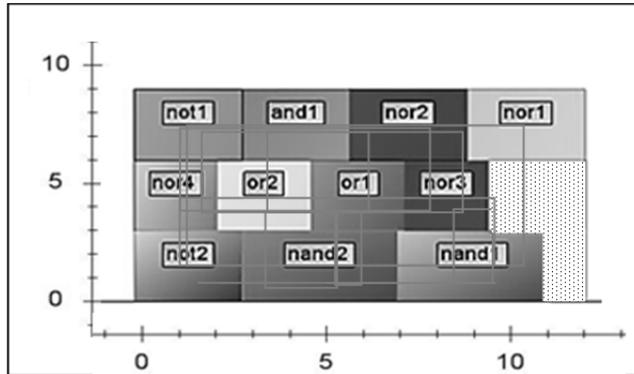


Рис. 3. Окончательное размещение ячеек тестовой схемы a28

Оценка задержки сигнала производилась по упрощенной эльморовской модели RC задержки, дающей достаточную точность и требующей сравнительно малого времени расчетов. Если считать пороговым напряжением середину логического перепада, то в зависимости от длины i -й цепи время задержки можно оценить с помощью двух типов моделей - с сосредоточенными и рассредоточенными параметрами [7]:

$$T_{ni} = \begin{cases} 0,69rcL_i & \text{для } L_i \leq 120\tau_{min} \text{ мкм,} \\ 0,38r_0c_0L_{0i}^2 & \text{для остальных цепей,} \end{cases} \quad (8)$$

где r , c и L_i - соответственно погонное сопротивление [Ом/мкм], емкость [фФ/мкм] и длина [мкм] данной цепи, определяемая по полупериметрической модели (1); τ_{min} - минимальная задержка размещаемых логических ячеек [нс],

$$r_0 = 120\tau_{min}r, \quad c_0 = 120\tau_{min}c, \quad L_{0i} = \frac{L_i}{120\tau_{min}}.$$

При расчетах по формуле (8) принимается $\tau_{min} = 39 \text{ нс}$ (см. табл. 1), а для r_0 и c_0 приняты следующие значения - 320 Ом/мкм и $1,8 \text{ фФ/мкм}$, соответствующие 90 нм -овой технологии [8].

Результаты расчетов для рассмотренной выше тестовой схемы и некоторых тестовых схем серии Iscas 85 приведены в табл. 2.

Как видно из данных таблицы, предложенный метод размещения обеспечивает, в зависимости от сложности схемы, сокращение длин критических цепей от 20 до 80% и более по сравнению с цепями с максимальным резервом времени.

Отметим также, что так как с уменьшением технологических размеров ИС доля задержек сигнала в межсоединениях увеличивается, то эффективность предложенного метода соответственно будет увеличена.

Таблица 2

Результаты расчетов задержек при размещении ячеек тестовых схем

Параметры	Обозначение тестовой схемы				
	C17	a28	C432	C1908	C5315
Количество ячеек	6	11	160	880	2307
Количество цепей	11	17	272	1028	3008
Задержки путей, обусловленные только логическими ячейками [нс]:					
с максимальным резервом	102	194	701	1250	89
со средним резервом	0	235	1070	1842	1750
критические	153	350	1453	2475	3414
Задержки путей, обусловленные только цепями [нс]:					
с максимальным резервом	4	4,4	119	331	155
со средним резервом	0	8	108	648	954
критические	5	7,8	249	597	944
Средняя задержка одной цепи [нс]:					
с максимальным резервом	2	4,4	8,5	32	77
со средним резервом	0	3,2	5,4	15	27
критические	1,6	2,6	3,5	12	14
Относительное уменьшение задержки цепи $((\tau_{\max} - \tau) / \tau_{\max})100\%$:					
с максимальным резервом	0	0	0	0	0
со средним резервом	-	28	37	54	65
критические	20	41	59	63	82

Заключение. Предложен метод управляемого временем размещения стандартных ячеек цифровых ИС с учетом задержек распространения сигнала в цепях. Рассмотрен пример линейного размещения стандартных ячеек тестовой схемы с дальнейшей трансформацией в двумерное. Апробация метода для размещения ячеек ряда тестовых схем показала высокую эффективность по минимизации длин критических цепей и относительной взвешенности длин остальных цепей. Предлагаемый метод может быть внедрен в существующие средства САПР в виде подсистемы начального размещения стандартных ячеек, а полученные результаты могут служить стартовым размещением для дальнейшей оптимизации.

СПИСОК ЛИТЕРАТУРЫ

1. **Naveed A. Sherwani.** Algorithms for VLSI Physical Design Automation. Intel Corporation.- Kluwer Academic Publishers, 2007.- 572 p.
2. How accurately can we model timing in a placement engine/ **A. Chowdhary, K. Rajagopal, S. Venkatesan** et al // In Proc. Design Automation Conf.- 2005.- P. 801–806.
3. **Ren H., Pan D., Kung D.** Sensitivity guided net weighting for placement driven synthesis // IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems.- May, 2005 (ISPD'04).- P. 711–721.
4. **Sadiq M., Habib Y.** VLSI Physical Design Automation: Theory and Practice.- World Scientific Publishing, 2004.- 504 p.
5. **Kenneth D., Andrew B., Stefanus M.** On the relevance of wire load models // Proceedings of the 2001 international workshop on System-level interconnect prediction.-ACM Press, 2001.- P. 91–98.
6. Digital Standard Cell Library//SAED_EDK90_CORE DATABOOK: © 2008 SYNOPSIS ARMENIA Educational Department.- Yerevan, 2008. – 96 p.
7. **Rabaey J., Chandrakasan A., Nikolic B.** Digital Integrated Circuits: A Design Perspective, 2nd ed. Englewood Cliffs: NJ.- Prentice- Hall, 2003.- 761 p.
8. Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2011 Edition, Interconnect [http:// public.itrs.net/](http://public.itrs.net/), 2011.- 92 p.

ГИУА (ПОЛИТЕХНИК). Материал поступил в редакцию 05. 02. 2013.

Ա.Գ. ՀԱՐՈՒԹՅՈՒՆՅԱՆ, Լ.Լ. ՄԽԻԹԱՐՅԱՆ

ՇՂԹԱՆԵՐԻ ԵՐԿԱՐՈՒԹՅՈՒՆՆԵՐԻ ԿԱՌԱՎԱՐՈՒՄԸ ԹՎԱՅԻՆ ԻՆՏԵԳՐԱԼ ՄԻԿՐՈՍԿՈՒՍԵՐԻ ՏՐԱՄԱԲԱՆԱԿԱՆ ԲՋԻՋՆԵՐԻ ՆԱԽՆԱԿԱՆ ՏԵՂԱԲԱՇԽՄԱՆ ԺԱՄԱՆԱԿ

Առաջարկված է թվային ինտեգրալ սխեմաների (ԻՍ) տրամաբանական բջիջների նախնական տեղաբաշխման մեթոդ՝ հիմնված շղթաների ժամանակային պահուստների նախնական գնահատման և շղթաների երկարությունների կառավարման համար դրանց օգտագործման վրա: Առաջարկված մեթոդն ապահովում է նախագծվող ԻՍ-ի արագագործության աճը:

Առանցքային բառեր. թվային ինտեգրալ սխեմա, ժամանակային պահուստ, տրամաբանական բջիջ, նախնական տեղաբաշխում:

A.G. HARUTYUNYAN, L.L. MKHITARYAN

CONTROLLING THE NET LENGTHS AT INITIAL PLACEMENT OF LOGIC CELLS OF DIGITAL INTEGRATED CIRCUITS

A method for initial placement of logic cells of digital integrated circuits (ICs), based on the preliminary assessment of time reserves of nets and their later use to control the net lengths is proposed. The given method provides an increase in performance of the IC being designed.

Keywords: digital integrated circuit, time reserve, critical path, logic cell, initial placement.