ISSN 0002-306X.Изв. НАН РА и ГИУА. Сер. ТН. 2012. Т. LXV, № 4.

УДК 621.382 РАДИОЭЛЕКТРОНИКА

Г.Ш. МЕЛИКЯН

МОДЕЛИРОВАНИЕ ЗАПОМИНАЮЩЕГО ЭЛЕМЕНТА EEPROM

Проведено исследование и моделирование запоминающего элемента и усилителя считывания EEPROM. Модель запоминающего элемента основана на оригинальной методике расчета потенциала плавающего затвора в условиях постоянного тока без фиксированных емкостных коэффициентов связи. Приведены частотные и временные характеристики схемы усилителя считывания с использованием программного пакета HSPICE.

Ключевые слова: транзистор, плавающий затвор, емкость, заряд, модель, моделирование, насыщение, пороговое напряжение.

Введение. Одной из основных задач при проектировании запоминающего элемента (ЗЭ) на основе МОП транзистора с плавающим затвором (FGMOS) является расчет напряжения на плавающем затворе (ПЗ) [1-2].На рис. 1 приведена традиционная DC (постоянный ток) модельFG транзистора (известная как модель емкостных коэффициентов связи), с помощью которойрассчитывается напряжение ПЗ [3-6].

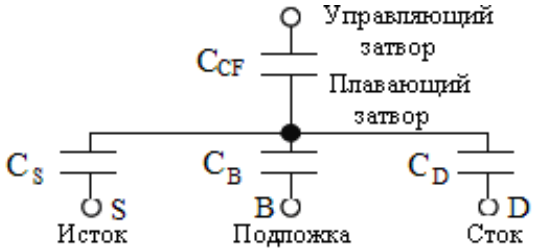

Рис. 1. Традиционная DC модель FG транзистора

В этой модели C_{CG}, C_S, C_D и C_B являются соответственно емкостями между плавающим (FG) и управляющим (CG) затворами, истока (S), стока (D) и подложки (B).

При отсутствии заряда на ПЗ (Q=0)напряжение на ПЗ определяется в виде

$$V_{FG} = \alpha_{CG} V_{CG} + \alpha_D V_D + \alpha_S V_S + \alpha_B V_B,$$

где $V_{FG}, V_{CG}, V_S, V_D, V_B$ V_{FG} - соответственно потенциалы на плавающем и управляющем затворах, а также на S, D и B; $\alpha_I = C_I / C_T$, $C_T = (C_D + C_S + C_B + C_{CG})$ - суммарная емкость FG и C_I - емкости C_{CG}, C_D, C_S.

Следует отметить, что напряжение на ПЗ зависит не только от напряжения управляющего затвора, но и от потенциалов истока, стока и подложки. В случае, когда исток и подложка заземлены, получим

$$V_{FG} = \alpha_{CG}(V_{CG} + f.V_{DS}), \text{ где}$$

$$f = \alpha_D / \alpha_{Cc} = C_D / C_{CC}.$$

Расчет стокового тока. Токи FG транзистора при отсутствии заряда (Q=0) на FGопределяются следующими выражениями:

- для линейной области:

$$I_{DS} = \beta^{CG}\left[\left(V_{CG} - V_T^{CG}\right)V_{DS} - \left(f - 1/2\alpha_{CG}\right)V_{DS}^2\right] \; V_{DS} < \alpha_{CG}\left(V_{CG} + fV_{DS} - V_T^{CG}\right); \quad (1)$$

- для области насыщения:

$$I_{DS} = \beta^{CG}/2\alpha_{CG}\left(V_{CG} + fV_{DS} - V_T^{CG}\right)^2 \; V_{DS} \geq \alpha_{CG}\left(V_{CG} + fV_{DS} - V_T^{CG}\right), \quad (2)$$

где V_T^{FG} - пороговое напряжение транзистора с ПЗ, $V_T^{FG} = \alpha_{CG}.V_T^{CG}$; V_T^{CG} - пороговое напряжение МОП транзистора; β^{FG} - проводимость транзистора с ПЗ, $\beta^{FG} = \beta^{CG}/\alpha^{FG}$; β^{CG} - проводимость МОП транзистора.

Уравнения (1) и (2) отличаются от аналогичных уравнений МОП транзистораемкостной связью между стоком и плавающим затвором.

При наличии заряда на FG, т.е. Q≠0, необходимо учесть следующие уточнения в значениях V_{FG} и V_T^{CG} : V_T^{CG}:

$$V_{FG} = \alpha_{CG}V_{CG} + \alpha_D V_D + \alpha_S V_S + \alpha_B V_B + Q/C_T, V_T^{CG} = V_{T0}^{CG} - Q/C_{CG}, \quad (3)$$

где V_{T0} - пороговое напряжение при Q=0.

Токи стока FG транзистора при наличии заряда (Q≠0) на ПЗопределяются в виде

$$I_{DS} = \beta^{CG}\left[\left(V_{CG} - V_{T0}^{CG} + Q/C_{CG}\right)V_{DS} - \left(f - 1/2\alpha_{CG}\right)V_{DS}^2\right],$$

$$V_{DS} < \alpha_{CG}\left(V_{CG} + fV_{DS} - V_{T0}^{CG} + Q/C_{CG}\right), \quad (4)$$

$$I_{DS} = \beta^{CG}/2\alpha_{CG}\left(V_{CG} + fV_{DS} - V_{T0}^{CG} + Q/C_{CG}\right)^2,$$

$$V_{DS} \geq \alpha_{CG}\left(V_{CG} + fV_{DS} - V_{T0}^{CG} + Q/C_{CG}\right). \quad (5)$$

Компактные моделиFG транзистора.В традиционной модели коэффициенты α_I и напряжение на ПЗ трудно рассчитать ввиду недоступности узла FG. Следовательно, приведенная выше методика расчета напряжения FG имеет низкуюточность. Исследования показали, что компактные модели (рис. 2) FG транзистора лишены этого недостатка. При этом FG транзистор заменяется МОП транзистором, у которого пороговое напряжение меняется вручную для имитации запрограммированного и стертого состояний (модель баланса заряда) и операций запись /стирание.

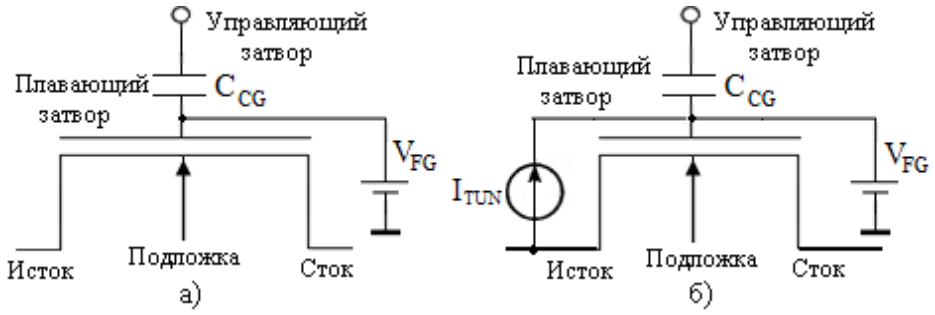

Рис. 2. Компактные модели FG транзистора:
а - модель баланса заряда, б - модель имитации операций запись /стирание

Модель баланса заряда состоит из конденсатора FG-CG (рис. 2а),МОП транзистора иисточника напряжения, контролируемого напряжением V_{FG}. Заряд на плавающем затвореQ_{FG} определяется из выражения

$$Q_G\left(V_{FG},V_D,V_S,V_B\right)+C_{CG}\left(V_{FG}-V_{CG}\right)=Q_{FG}. \quad (6)$$

Заряд на затворе МОП транзистора Q_G представляет собой сложнуюфункцию от напряжений на S, D, B и FG (V_S, V_D, V_B и V_{FG} соответственно). В каждом конкретном случае,исходя из требований к параметрам,можно взять конкретную модель:

$$\mathrm{F}\left(\mathrm{V_{FG}}\right)=\mathrm{Q_G}\left(\mathrm{V_{FG}}\right)+\mathrm{C_{CG}}\left(\mathrm{V_{FG}}-\mathrm{V_{CG}}\right)-\mathrm{Q}_{FG}. \quad (7)$$

Компактная модель имитации операций запись /стирание EEPROM(рис. 2б) состоит из МОП транзистора, конденсатора C_{CG}, управляемого источника напряжения V_{FG} и генератора тока туннелирования I_{TUN}, моделирующего туннельный ток Фаулера-Нордгейма между FG и S.

Исследования показали, что компактные модели легко масштабируются и обладают высокой точностью (правила масштабированияи точностьучтеныв принятойкомпактной модели МОПтранзистора), а также характеризуются простотой, т.к. используются стандартные схемные элементы.

В работе проведено моделирование ЗЭ для 35 *нм* технологии с использованием программного пакета HSPICE, результаты которых приведены на рис. 3-5. Характеристики ЗЭ EEPROMхорошо совпадают с аналогичными характеристиками, полученными в работах [4-6] экспериментальным путем.

При масштабировании EEPROM одним из основных факторов, ограничивающих уменьшение размеров ЗЭ, являются параметры усилителя считывания, особенно при низких напряжениях питания. Следовательно, важное значение имеют разработка и исследование высокочувствительных усилителей считывания с малым входным размахом. Результаты исследований показали, что схема усилителя, приведенная на рис. 6, удовлетворяет требованиям, предъявляемым к усилителям считывания (необходимый размах входного напряжения, величина напряжения битовой линии и высокое быстродействие).

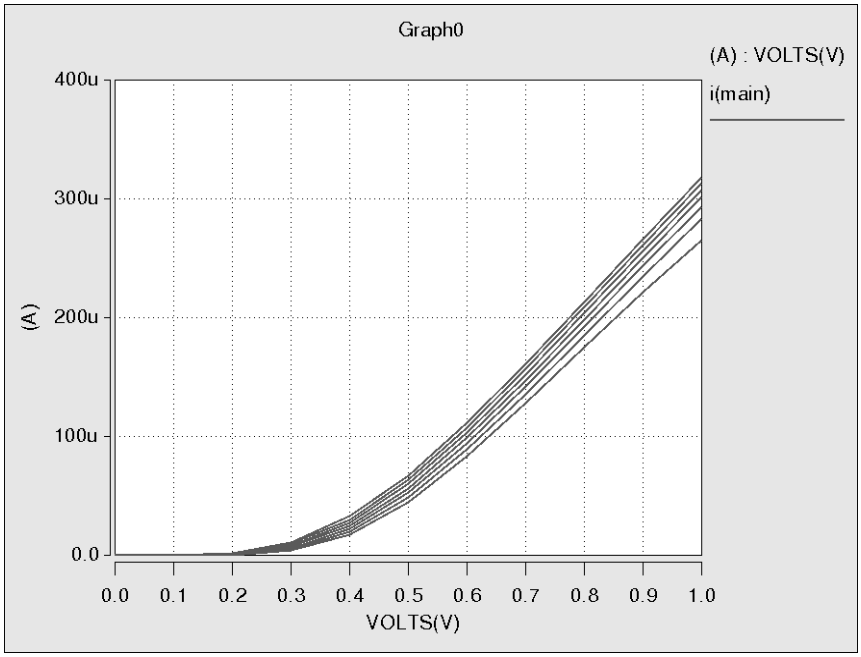

Рис. 3.Зависимости Id=f(Vg) для разных напряжений стока Vd=0.4V-1V

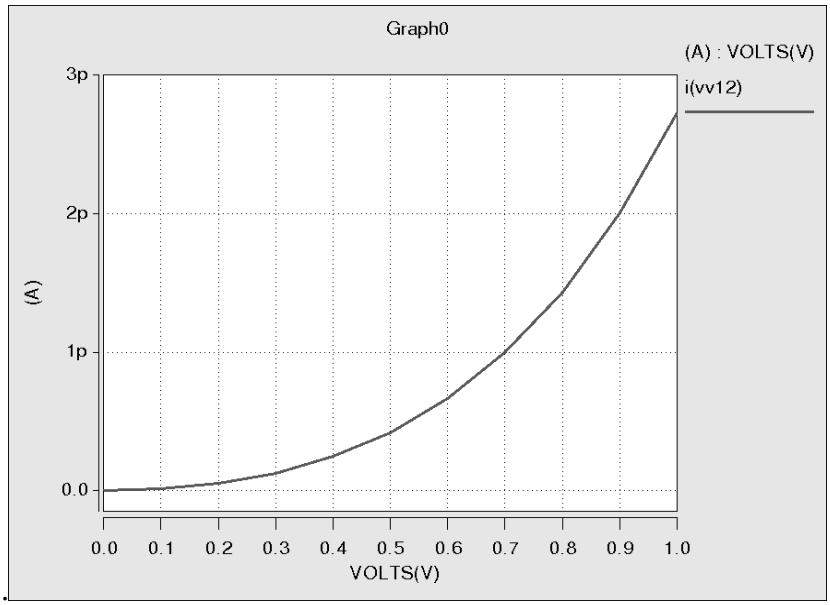

Рис. 4. Зависимость $I_{DG}=f(V_{DG})$ туннельного тока при $V_G=0$

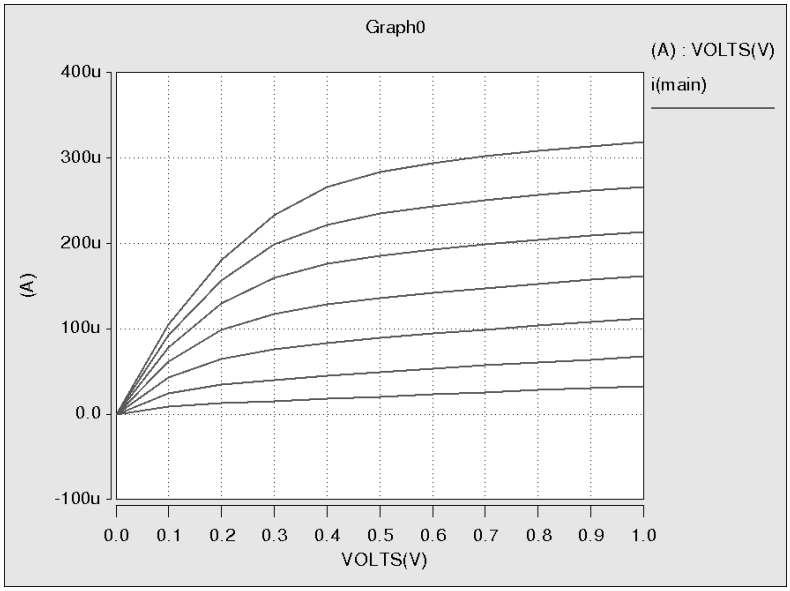

Рис. 5. Зависимости Id=f(Vds) для напряжений затвора Vg=0,4V-1V

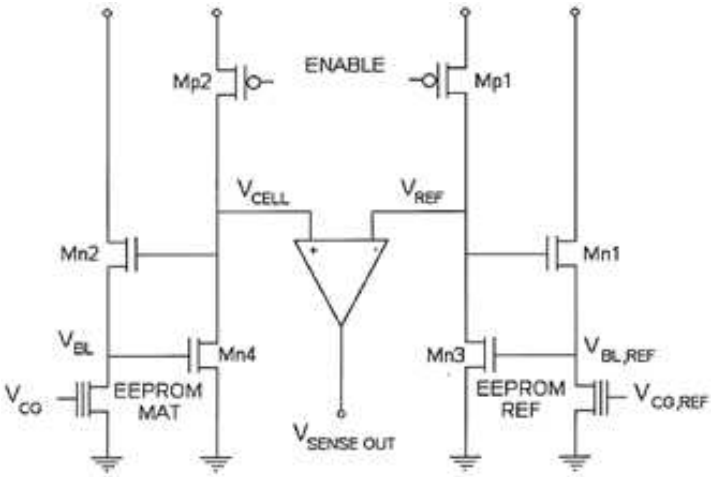

Рис. 6. Электрическая схема усилителя считывания

Усилитель считывания спроектирован при технологических нормах 35 *нм* и рабочих напряжениях 1…3 *В*. Исследованы и моделированы частотныеи временные характеристикиусилителя считывания с помощью программного пакета HSPICEв широком интервале изменения температуры и напряжения питания (рис. 7-10).

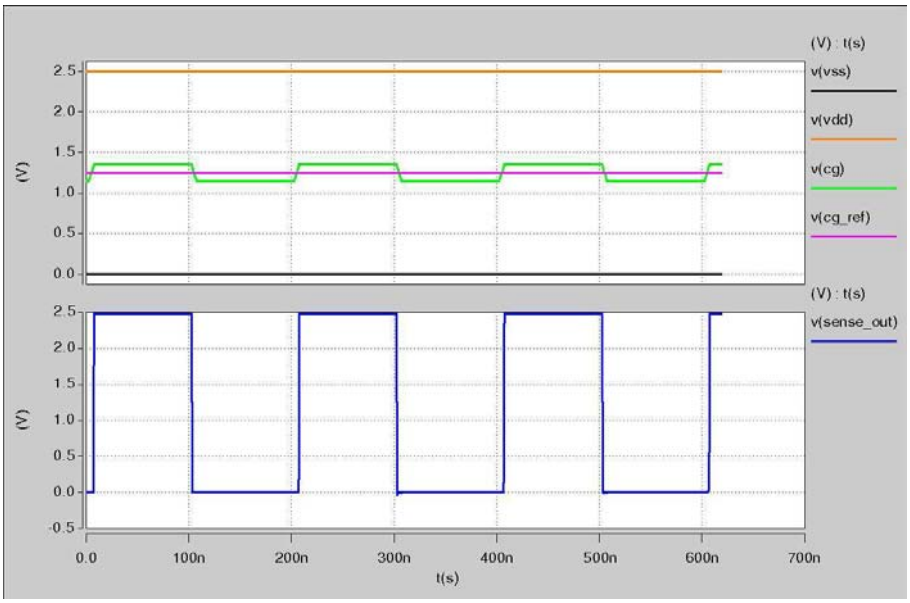

Рис. 7. Временные диаграммы усилителя считывания для операции считывания при VDD=2,5, температуре 25 °C

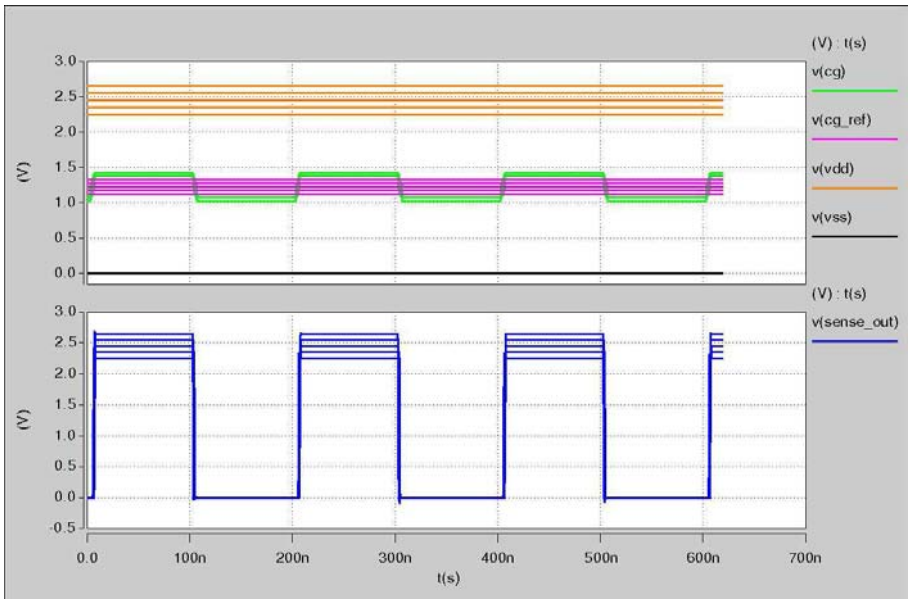

Рис. 8. Временные диаграммы усилителя считывания для операции считывания при изменении напряжения на битовой линии от 2,25 до 2,75 В

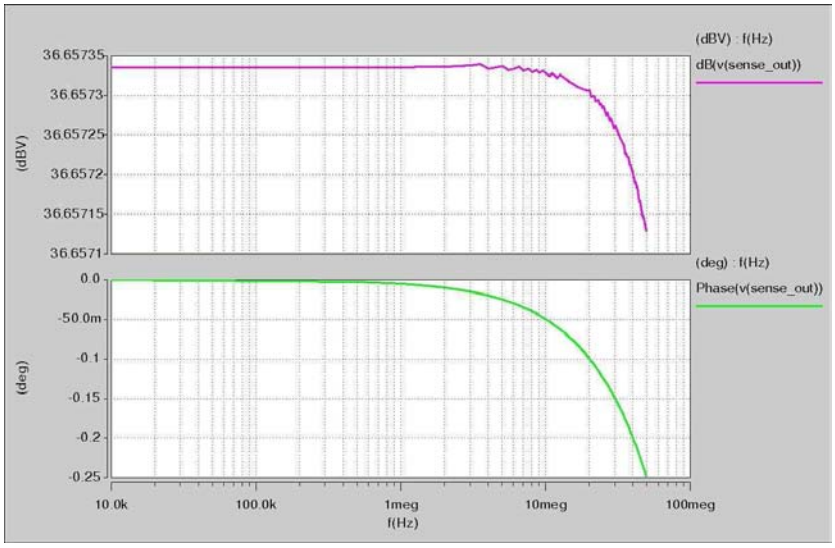

Рис. 9 . Частотные характеристики коэффициента усиления и фазового сдвига усилителя считывания

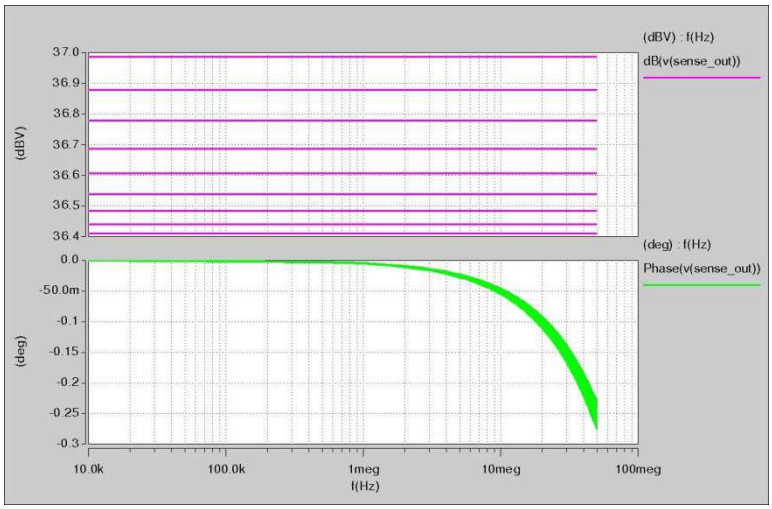

Рис. 10 . Частотные характеристики коэффициента усиления и фазового сдвига усилителя считывания при различных температурах (10...85^{0}C, шаг 5^{0}C)

Полученные результаты показывают, что коэффициент усиления и фазовый сдвиг усилителяостаются практически неизменными в диапазоне типичных рабочих частот современной энергонезависимой памяти (10…15 *МГц)*. Измерены основные параметры усилителя: время задержки – 400 *пс*, время выборки считывания – 200 *пс*, ток потребления - 15 *мкА* и потребляемая мощность - 15 *мкВт*. Для идентификации напряжений считывания на битовой линии чувствительность усилителя по напряжению может достичь 50 *мВ*.

Выводы

1. Рассмотрена и проанализированаклассическая модель постоянного тока для определения напряжения на плавающем затворе ЗЭ. Основным недостатком этой модели является низкая точность определения напряжения на ПЗ.
2. Для увеличения точности определения напряжения на ПЗ предлагается воспользоваться компактными моделями ЗЭ для режимов считывания и записи/стирания. Модели основаны на новой методике расчетанапряжения на плавающем затворе.
3. Результаты проведенных исследований показали, что частотные и временные характеристики усилителя удовлетворяют требованиям, предъявляемым к характеристикам современной энергонезависимой памяти.
4. Исследованная схема усилителя сохраняет работоспособность в широком диапазоне изменения температуры и напряжения питания.
5. Показано, что чувствительность схемы усилителя для идентификации логических уровней на битовой линии составляет 50 *мВ*.

СПИСОК ЛИТЕРАТУРЫ

1. A Complete Model of E^2PROM Memory Cells for Circuit Simulations / **Paolo Pavan, Luca Larcher, Massimiliano Cuozzo et al** // IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS. - AUGUST, 2003. - Vol. 22, № 8. - P. 1072-1079.
2. **Sheng-Lyang Jang, Chorng-Jye Sheu, Chorng-Bin Twu.** A compact drain-current model for stacked-gate flash memory cells // Solid-State Electronics. - 2000. – Vol. 44. - P. 1447-1453.
3. **Մելիքյան Գ.Շ.** Լողացող փականով տրանզիստորի DC մոդելավորումը // ՀՊՃՀ (Պոլիտեխնիկ) Լրաբեր: Գիտական և մեթոդական հոդվածների ժողովածու. – Երևան, 2012.- Մաս 1. -էջ 391-396:
4. **Canet P., Bouchakour R., Lalande F., Mirabel J.M.** EEPROM cell design: paradoxical choice of the coupling ratio // Journal of Non-Crystalline Solids. – 2003. - Vol. 322.- P. 246–249.
5. **Mun Woo Rho, Kyung Hoon Kim and Yeong Seuk Kim.** A New Flash EEPROM Model for Multi-Level Programming and Low-Voltage Applications // Journal of the Korean Physical Society.– November, 1998. -Vol. 33.-P. S224-S228.
6. **Paolo Pavan, Luca Larcher and Andrea Marmiroli.** Floating Gate Devices: Operation and Compact Modeling // NSTI-Nanotech. - 2004.- P.120-123.

ГИУА (Политехник). Материал поступил в редакцию 10.09.2012.

Գ.Շ. ՄԵԼԻՔՅԱՆ

EEPROM ՀԻՇՈՂՈՒԹՅԱՆ ՏԱՐՐԻ ՄՈԴԵԼԱՎՈՐՈՒՄԸ

Դիտարկված և սխեմատեխնիկական մոդելավորման համար վերլուծված են հիշողության տարրի մոդելներ և EEPROM ընթերցման ուժեղարարը: Հիշողության տարրի ներկայացված մոդելը կառուցված է հաստատուն հոսանքի պայմաններում ողացող փականի պոտենցիալի հաշվման յուրահատուկ մեթոդիկայով՝ առանց կապի ունակային գործակիցների: Կատարված է հիշողության տարրի և ընթերցման ուժեղարարի մոդելավորում HSPICE ծրագրային փաթեթի միջոցով:

Առանցքային բառեր. տրանզիստոր, լողացող փական, ունակություն, լիցք, մոդել, մոդելավորում, հագեցում, շեմային լարում:

G.Sh. MELIKYAN

SIMULATION OF MEMORY CELL EEPROM

The investigation and modeling of the storage element and the readout amplifier EEPROM is carried out. Model memory element is based on the original method of calculating the potential of floating gate in DC without fixed capacitive coupling coefficients. The frequency and temporal characteristics of the amplifier readout using a software package HSPICE is presented.

***Keywords*:** transistor, floating gate, capacitance, charge, model, modeling, saturation, threshold voltage.