

Л.М. ТРАВАДЖЯН

**МОДЕЛИРОВАНИЕ ХАРАКТЕРИСТИК УСИЛИТЕЛЯ СЧИТЫВАНИЯ ДЛЯ
ФЕРРОЭЛЕКТРИЧЕСКОЙ ПАМЯТИ**

Проведено исследование и моделирование частотных и временных характеристик схемы усилителя считывания ферроэлектрической ячейки памяти для архитектуры 1T1C программным пакетом HSPICE. Показано, что коэффициент усиления и фазовый сдвиг усилителя остаются практически неизменными в диапазоне рабочих частот современных FeRAM. При этом чувствительность усилителя по напряжению достигает до 50 мВ.

Ключевые слова: ячейка, память, моделирование, битовая линия, усилитель.

Введение. В настоящее время ферроэлектрическая (ФЭ) память (FeRAM) является одной из перспективных типов энергонезависимой памяти благодаря высоким скоростям записи/считывания, низкой потребляемой мощности и хорошей совместимости с кремниевой технологией. При масштабировании FeRAM, как и во всех традиционных схемах памяти, схема считывания сигнала становится одним из основных факторов, ограничивающих уменьшение размеров запоминающей ячейки (ЗЯ) [1,2]. Токи считывания в ЗЯ, в особенности при низких рабочих напряжениях, резко уменьшаются, что, в основном, связано с изменением характеристик ЗЯ, а также с токами утечки битовой линии, которые еще более усиливают ограничения схемы считывания. Для повышения плотности интеграции необходимо максимизировать количество ЗЯ на битовую линию накопителя, что приводит к высоким значениям емкости битовой линии, т.е. критический параметр размаха входного напряжения усилителя (отношение тока считывания к емкости C_{BL} битовой линии) уменьшается. Проблему размаха входного напряжения считывания в ФЭ памяти можно преодолеть улучшением как свойств ФЭ конденсатора, так и характеристик схемы усилителя. Размах напряжения типовых усилителей обычно ограничивается до 100 мВ, что является серьезным ограничением повышения плотности интеграции. Следовательно, разработка и исследование высокочувствительных усилителей считывания с малым входным размахом является актуальной задачей. С этой целью в работе исследована схема усилителя для архитектуры 1T1C и моделированы ее частотные и временные характеристики.

Экспериментальная часть. В архитектуре 1T1C при операции считывания для точной идентификации напряжений на битовой линии накопителя входной сигнал усилителя сравнивается с постоянным опорным напряжением V_{ref} , определяемым как среднее напряжений V_1 и V_0 , соответствующих логическим уров-

ням “0” и “1” (рис.1). Чувствительность схемы определяется как минимальная разность сигналов считывания и опорного сигнала $(V_1 - V_0)/2$. Учитывая, что напряжения V_1 и V_0 зависят от технологии (в частности, отношения C_{BL}/C_{FE}) и времени, необходимо точно определить значения напряжений V_0 , V_1 и опорного напряжения. В [1,3] установлено, что усилители, управляемые током, имеют важные преимущества из-за уменьшения размаха напряжения битовой линии и временных задержек.

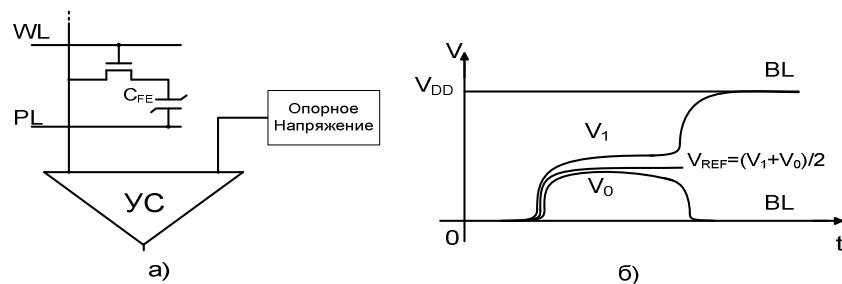


Рис. 1. Структура ФЭ ячейки памяти 1Т1С (а) и схема напряжений считывания (б) [3]

Анализ технической литературы показывает, что для 3Я 1Т1С из известных схем усилителей считывания [3] наилучшими характеристиками обладает схема, приведенная на рис. 2. Схема включает узлы формирования опорного напряжения и усилителя считывания сигналов. Во время операции считывания напряжение V_1 появляется на RBL, а напряжение V_0 - на $\overline{RBL}$. Пороговое напряжение V_{ref} формируется при коротком замыкании (рис.2) RBL и $\overline{RBL}$. При операции считывания усилитель идентифицирует логическое значение данных, сравнивая напряжение битовой линии V_{BL} со значением опорного напряжения V_{ref} . Разность напряжений усиливается до напряжения питания V_{DD} , если $V_{BL} > V_{ref}$ (для состояния “1”), или до 0 В, если $V_{BL} < V_{ref}$ (для состояния “0”). Далее разность напряжений (V_{DD} или 0 В) подается на битовый столбец памяти для считывания данных и на схему восстановления исходных данных. Управляемый ток усилитель считывания имеет перекрёстно связанную пару инверторов. Управляющие сигналы **sapn** и **san** соединяют узлы инверторов соответственно с напряжением питания V_{DD} и “нулевым” узлом. Сигналы BL, RBL и $\overline{RBL}$ подаются прямо на усилитель считывания и, таким образом, при считывании остаются неизменными. Работа схемы описывается следующим образом:

- 1) до начала операции считывания узлы **sen** и **senn** имеют уровни напряжения 0 В;
- 2) во время операции считывания на RBL и $\overline{RBL}$ появляются напряжения V_1 и V_0 соответственно. Далее формируется опорное напряжение V_{ref} , одновременно на битовой линии появляется напряжение V_x . В случае, когда уста-

навливается сигнал **sdn**, напряжения V_x и V_{ref} подаются на усилитель, генерируя токи I_x и I_{ref} ;

3) ток считывания I_x питает узел **sen**, а I_{ref} - узел **senn**. Из-за разницы токов между узлами **sen** и **senn** появляется разность напряжений ΔV ;

4) сигнал управления **sapn** активизирует инверторы, вследствие чего на одном из узлов устанавливается напряжение V_{DD} , а на другом - нулевое напряжение.

Усилитель считывания спроектирован нами по 130 нм технологии. Моделирование частотных и временных характеристик усилителя осуществляется программным пакетом HSPICE. На рис. 3 показаны частотные зависимости коэффициента усиления и фазового сдвига схемы, а на рис. 4-5 - те же зависимости при изменении температуры (10...85°C) и напряжения питания (1...3 В). Из моделированных зависимостей видно, что коэффициент усиления и фазовый сдвиг усилителя остаются практически неизменными в диапазоне рабочих частот (до 10...15 МГц) современных FeRAM.

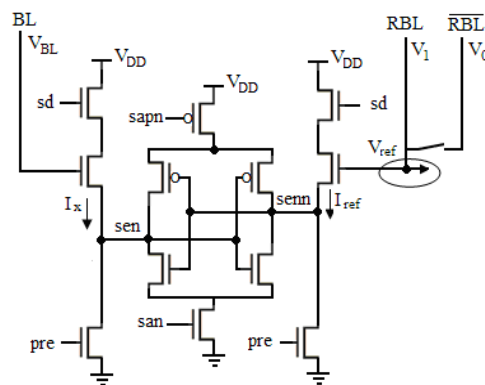


Рис. 2. Схема усилителя считывания элемента 1Т1С

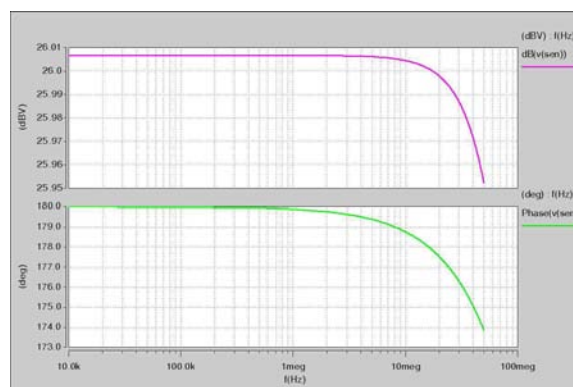


Рис. 3. Частотные характеристики коэффициента усиления и фазового сдвига

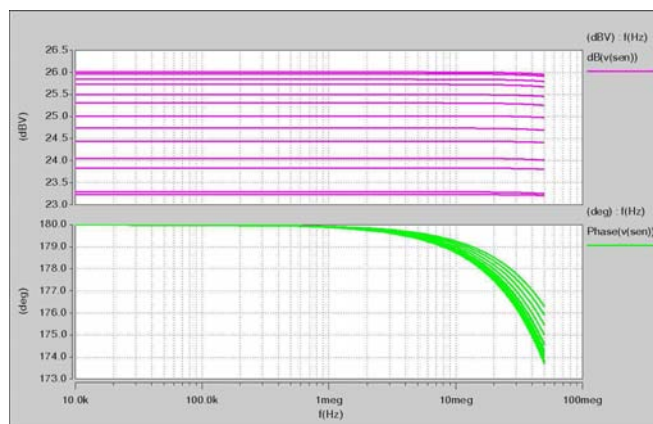


Рис. 4. Частотные характеристики коэффициента усиления и фазового сдвига при различных температурах (10...85⁰C, шаг изменения- 5⁰C)

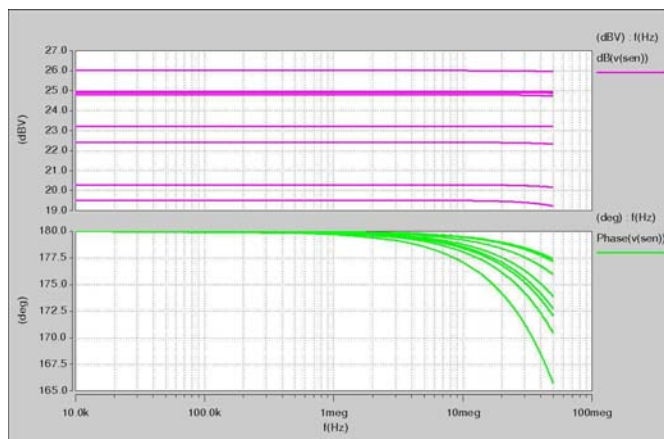


Рис. 5. Частотные характеристики коэффициента усиления и фазового сдвига при различных напряжениях питания (1...3 В, шаг изменения - 0,5 В)

На рис. 6 приведены временные характеристики усилителя считывания. Входными сигналами усилителя являются напряжения V_0 и V_1 битовой линии. опорное напряжение составляет 0,5 В, $V_1=0,55$ В, $V_0=0,45$ В, запас чувствительности по напряжению - $\Delta V = (V_1 - V_0)/2 = 50$ мВ. Из нижнего графика на рис.6 видно, что сигналы V_0 и V_1 в конце цикла считывания восстанавливаются до уровней 0,9 и 0,1 В соответственно (на рисунке показаны инверсные значения этих напряжений). На рис.7 представлены временные характеристики усилителя при различных уровнях напряжения входного сигнала.



Рис.6. Временные характеристики усилителя во время цикла считывания

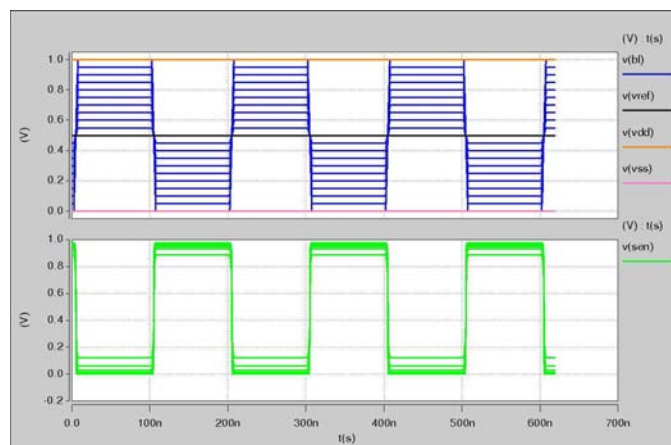


Рис. 7. Временные характеристики усилителя во время цикла считывания при различных уровнях напряжения на битовой линии

Таким образом, на основании вышеизложенного приходим к следующим выводам:

1. Частотные и временные характеристики усилителя удовлетворяют требованиям, предъявляемым к современным ячейкам ФЭ памяти.
2. Исследованная схема усилителя сохраняет работоспособность в широком диапазоне изменения температуры и напряжения питания.
3. Чувствительность схемы усилителя для идентификации логических уровней на битовой линии достигает 50 мВ.

СПИСОК ЛИТЕРАТУРЫ

1. **Sheikholeslami A., Gulak P. G.** A survey of circuit innovations in ferroelectric random-access memories // Proc IEEE.- 2000.- 88.- P. 667.
2. **Siu J. W. K., Eslami Y., Sheikholeslami A.** A current-based reference-generation scheme for 1T- 1C ferroelectric random access memories // IEEE J Solid-State Circuits.- 2003.- 38.- P. 541.
3. **Jia Ze, Zou Zhongren, Ren Tianling, and Chen Hongy.** An asymmetrical sensing scheme for 1T1C FRAM to increase the sense margin // Journal of Semiconductors.- 2010.- V. 31, No11.

ГИУА (ПОЛИТЕХНИК). Материал поступил в редакцию 05.12.2011.

Լ.Մ. ՏՐԱՎԱՅԱՆ

ՖԵՐՈԷԼԵԿՏՐԱԿԱՆ ՀԻՇՈՂՈՒԹՅԱՆ ՀԱՄԱՐ ԸՆԹԵՐՑՄԱՆ ՈՒԺԵՂԱՐԱՐԻ ԲՆՈՒԹԱԳՐԵՐԻ ՄՈՂԵԼԱՎՈՐՈՒՄ

Ուսումնասիրվել և 1T1C ճարտարապետության համար մոդելավորվել են ֆերոէլեկտրական հիշողության բջի ընթերցման ուժեղարարի սխեմայի հաճախային և ժամանակային բնութագրերը՝ HSPICE ծրագրային փաթեթի միջոցով: Ցույց է տրված, որ ուժեղարարի ուժեղացման գործակիցը և փուլային շեղումը գործնականում մնում են անփոփոխ ժամանակակից FeRAM-ների աշխատանքային հաճախությունների միջակայքում, իսկ ըստ լարման ուժեղարարի՝ զգայնությունը հասնում է մինչև 50 *մՎ*:

Առանցքային բառեր. բջի, հիշողություն, մոդելավորում, բիթային գիծ, ուժեղարար:

L.M. TRAVAJYAN

MODELING OF SENSE AMPLIFIER CHARACTERISTICS FOR FERROELECTRIC MEMORY

The frequency and time characteristics of sense amplifier scheme of ferroelectric memory cell for 1T1C architecture are investigated and modelled for the first time using the software HSPICE. It is shown that gain factor and phase shift of amplifier actually remain constant in the operating frequency range of FeRAM and the voltage sensitivity being 50 *mV*.

Keywords: cell, memory, modeling, bit - line, amplifier.