

**Վ.Շ. ՄԵԼԻՔՅԱՆ, Մ.Ն.ԻՇԽԱՆՅԱՆ, Ա.Ա.ՀՈՎՍԵՓՅԱՆ, Ա.Գ. ՍԱՐԳՍՅԱՆ,  
Դ.Լ. ՄԻՐԶՈՅԱՆ, Ա.Ն. ԽԱՉԱՏՐՅԱՆ**

**ՀԱՃԱԽԱԿԱՆՈՒԹՅԱՆ ՓՈԻԼԱՑԻՆ ԻՆՔՆԱԵՆՔԱԼԱՐՔԻ (ՀՓԻ)  
ՀԱՄԱԼԱՐՄԱՆ ԺԱՄԱՆԱԿԻ ՓՈՔՐԱՑՄԱՆ ՄԵԹՈԴ**

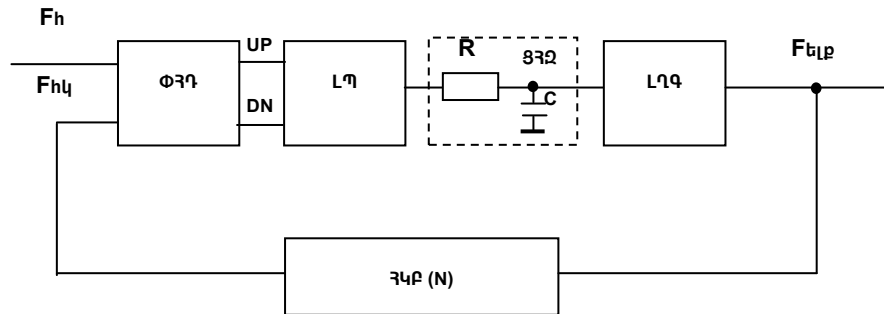
Դիտարկված է հաճախականության փուլային ինքնաենթալարքի համալարման ժամանակի նվազեցման մեթոդ: Առաջարկված է նոր լուծում, որը թույլ է տալիս համալարման ժամանակի փոքրացում՝ միաժամանակ հաստատուն պահելով համակարգը բնութագրող մնացած պարամետրերը:

**Առանցքային բառեր.** հաճախականության փուլային ինքնաենթալարք , համալարման ժամանակ:

**Նախաբան:** Դասական հաճախականության փուլային ինքնաենթալարքը (ՀՓԻ) [1-4] բաղկացած է նկ.1-ում պատկերված հանգույցներից, որտեղ՝ ՓՀԴ-ն փուլա-հաճախականային դետեկտորն է: Այն համեմատում է հենակային և հետադարձ կապի ազդանշանների փուլերը և ելքում գեներացնում այդ ազդանշանների փուլային տարբերությանը համապատասխանող ազդանշաններ: ՄՄ-ը նախատեսված է հետադարձ կապի ազդանշանի հաճախականության աճեցման համար: DN-ը նվազեցնում է հետադարձ կապի ազդանշանի հաճախականությունը: ՓՀԴ-ն կարելի է իրագործել զրոյացման մուտքով երկու D տրիգերների հիման վրա [2] (նկ. 2): ՓՀԴ-ի կողմից գեներացված ազդանշանները տրվում են ԼՊ լիցքերի պոմպին, որը դեպի ցածր հաճախականային գոյիչ (ՑՀԶ) ներարկում կամ այնտեղից վերցնում է ՓՀԴ-ի ելքում գեներացված ազդանշաններին համապատասխանող հոսանք: ՑՀԶ-ի միջոցով նշված հոսանքի ֆիլտրումից ձևավորվում է ղեկավարող լարումը: ԼՂԳ-ն լարումով ղեկավարվող գեներատորն է, որի ելքում ձևավորվում է ղեկավարող լարմանը համապատասխանող հաճախականությամբ ազդանշան: ՀԿԲ-ն հետադարձ կապի բաժանիչն է, որը ելքային ազդանշանի հաճախականությունը բաժանում է N-ի և հենակային ազդանշանի հաճախականության հետ համեմատման նպատակով տալիս ՓՀԴ-ին: Fh-ն ՀՓԻ-ի հենակային, Fhկ-ն՝ հետադարձ կապի ազդանշանի, իսկ Fելք-ը՝ ՀՓԻ-ի ելքային ազդանշանի հաճախականությունը:

Օգտագործված ՀՓԻ-ում  $F_h=10$  ՄՀց,  $F_{ելք}=100$  ՄՀց, հետևաբար ՀԿԲ-ի բաժանման գործակիցը վերցված է  $N=10$ , օգտագործված է երկրորդ կարգի ՑՀԶ և շրջիչների հիման վրա կառուցված ԼՂԳ:

ՀՓԻ-ի համալարում ասելով հասկացվում է համակարգի այն վիճակը, երբ հետադարձ կապի (Fhկ) և հենակային ազդանշանի (Fh) հաճախականությունները հավասարվում են: Այդ դեպքում ՑՀԶ-ի կոնդենսատորի լարումը կամ, այսպես կոչված, համակարգի ղեկավարող լարումը [1-2] կայունանում է, ԼՂԳ-ն սկսում է գեներացնել այդ լարմանը համապատասխան կոնկրետ հաճախականությամբ ազդանշան: Այն N անգամ մեծ է Fh-ից: Համալարման վիճակում հետադարձ կապի և հենակային ազդանշանների փուլային տարբերությունը մնում է որոշակի միջակայքում, և Fhկ հավասարվում է Fh-ին:



Նկ.1. Դասական հաճախականության փուլային ինքնաենթալարքի կառուցվածքը

Համալարման ժամանակը ՀՓԻ-ն բնութագրող կարևոր պարամետրերից է: Այն կախված է մի շարք գործոններից և որոշվում է

$$T_L = \frac{2\pi}{\omega_n}, \quad (1)$$

արտահայտությամբ [2], որտեղ  $\omega_n$ -ը ՀՓԻ-ի սեփական հաճախականությունն է [1-3]: Այդ հաճախականությամբ է պայմանավորված նաև մեկ այլ կարևոր պարամետր՝ համակարգի մարման գործակիցը ( $\zeta$ ) [1-4]: Մարման գործակիցը և համալարման ժամանակը գտնվում են փոխադարձ կախվածության մեջ:

$\omega_n$ -ը կախված է համակարգը բնութագրող մի շարք պարամետրերից և որոշվում է

$$\omega_n = \sqrt{\omega_{L_{PF}} \cdot K_{PFD} \cdot K_{VCO}}, \quad (2)$$

արտահայտությամբ, որտեղ  $\omega_{L_{PF}}$  ականությունն է,  $K_{PFD}$   $K_{PFD}$ -ն և  $K_{VCO}$  ՓՀԴ-ի և LՎԳ-ի ուժեղացման գործակիցները: Տեղադրելով  $\omega_{L_{PF}}$   $\omega_{L_{PF}}$ -ի և  $K_{PFD}$ -ի արժեքները [1-2]՝ ստացվում է

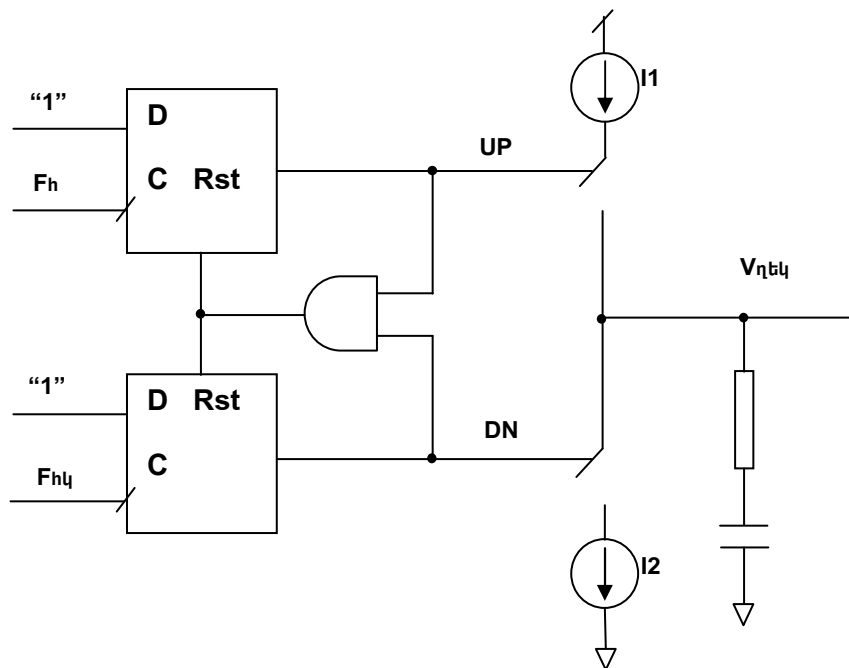
$$\omega_n = \sqrt{\frac{I_p \cdot K_{VCO}}{2\pi \cdot C \cdot R}}, \quad (3)$$

որտեղ  $I_p$ -ն LՎԳ-ից ՑՀԶ-ին տրվող հոսանքն է, C-ն և R-ը՝ ՑՀԶ-ի համապատասխանաբար կոնդենսատորի ու ռեզիստորի դիմադրությունը:

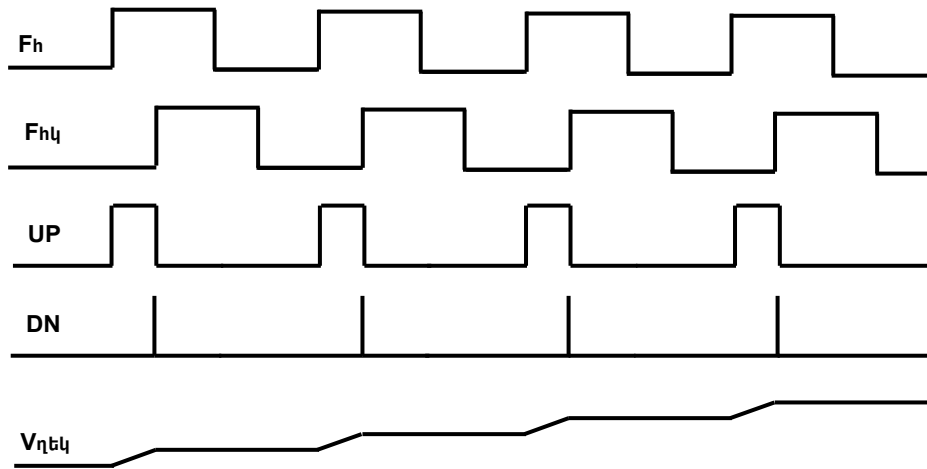
**ՀՓԻ-ի դասական ՓՀԴ-LՎԳ-ՑՀԶ հանգույցի հատկությունները:** ՀՓԻ-ի՝ դեպի համալարում ընթացքի ժամանակ  $F_{h1}$ -ն ձգտում է հավասարվել  $F_h$ -ին: Հնարավոր են երկու դեպքեր՝ 1) երբ  $F_{h1}$ -ն փոքր է  $F_h$ -ից, և համակարգը ձգտում է աճեցնել այն (ակտիվ է UP ազդանշանը), 2) երբ  $F_{h1}$ -ն մեծ է  $F_h$ -ից, և համակարգը ձգտում է նվազեցնել այն (ակտիվ է DN ազդանշանը): Պարզության համար դիտարկված է նշված դեպքերից միայն մեկը, օրինակ՝ այն դեպքը, երբ ակտիվ է UP ազդանշանը: Մյուս դեպքը նման է

առաջինին՝ միայն այն տարբերությամբ, որ պետք է դիտարկել DN ազդանշանի ակտիվությունը:

Ենթադրենք, համակարգը գտնվում է համալարումից դուրս, և հետադարձ կապի ազդանշանի Fh կ հաճախականությունը փոքր է հենակային ազդանշանի Fh հաճախականությունից, այսինքն՝ համակարգը ձգտում է աճեցնել Fh-ն: Այդ դեպքում ՓՀԴ-ի DN ելքում տրամաբանական “0” մակարդակ է, իսկ ավելի ստույգ՝ շատ նեղ իմպուլսներով ազդանշան (նկ.3): Այդ դեպքում ՓՀԴ-ի UP ելքում Fh-ն աճեցնող ազդանշան է: UP ազդանշանը ԼՊ-ին ստիպում է հոսանք ներարկել դեպի ՅՀԶ, ինչը իր հերթին բերում է դեկավարող լարման, հետևաբար նաև ելքային ազդանշանի հաճախականության աճի: ՅՀԶ-ի կոնդենսատորը լիցքավորվում է ԼՊ-ից եկող ոչ թե հաստատուն, այլ իմպուլսային հոսանքով, ինչը բերում է դեկավարող լարման աստիճանաձև աճի (նկ.3): Դրա պատճառը դասական ՓՀԴ-ի (նկ.2) աշխատանքի սկզբունքն է. հետադարձ կապի ազդանշանի հաճախականության փոքր լինելու դեպքում UP ելքում ոչ թե հաստատուն բարձր մակարդակ է, այլ որոշակի տևողությամբ իմպուլսային ազդանշան [1-2]: Այդ պատճառով հաճախականությունների հավասարեցումը տեղի է ունենում բավական ուշ, այսինքն՝ համալարման ժամանակը ստացվում է մեծ: Եթե աստիճանաձև փոփոխվող դեկավարող լարման փոխարեն հնարավոր լինի գծային օրենքով աճող լարման ստացումը, ապա Fելք-ը ավելի շուտ կհասնի իր արժեքին, Fh-ն ավելի շուտ կհավասարվի Fh-ին, հետևաբար՝ կփոքրանա համալարման ժամանակը: Առաջարկվող տարբերակում դա իրագործվել է՝ ՓՀԴ-ի աշխատանքի մեջ կատարելով համապատասխան փոփոխություն:



Նկ.2.Դասական հաճախականության փուլային ինքնաենթալարքի փուլահաճախականային դետեկտոր-լիցքերի պոմպ-ցածր հաճախականային գտիչ հանգույցը



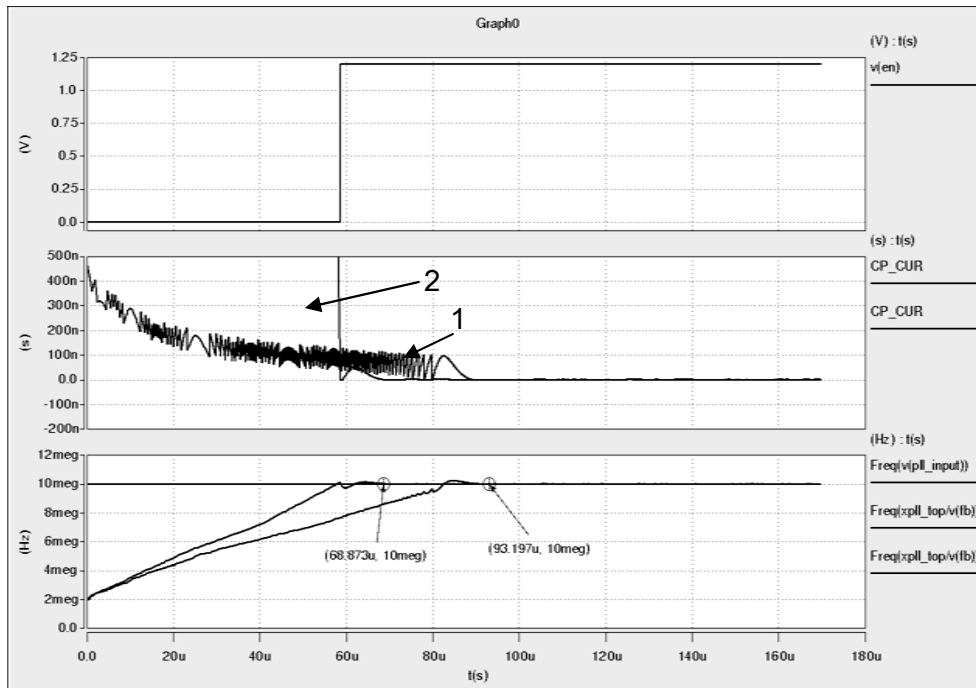
Նկ.3. Դասական հաճախականության փուլային ինքնանթափարքի փուլահաճախականային դետեկտոր-լիցքերի պոմպ-ցածր հաճախականային զտիչ հանգույցի աշխատանքը

**Առաջարկվող լուծումը:** Առաջարկվող տարբերակի հիմնական նպատակը համալարման ժամանակի փոքրացումն է: Դա հաջողվել է իրագործել՝ մտցնելով փոփոխություն ՀՓԻ-ի, մասնավորապես՝ ՓՀԴ-ԼՊ հանգույցի աշխատանքում: Առաջարկվում է ՓՀԴ-ի այնպիսի սխեմա, որի շնորհիվ հնարավոր է դառնում համակարգի աշխատանքի սկզբնական մասում, երբ հետադարձ կապի ազդանշանի հաճախականությունը շատ հեռու է հենակայինի հաճախականությունից, UP էլքում ձևավորել հաստատուն բարձր մակարդակ, ինչի շնորհիվ ՑՀԶ-ի կոնդենսատորը կլիցքավորվի ավելի արագ, ղեկավարող լարումն էլ կփոխվի ոչ թե աստիճանաձև, այլ գծայնորեն: Երբ Fhկ-ն բավական մոտենա Fh-ին (մոտ 10% ճշտությամբ), հաստատուն բարձր մակարդակի փոխարեն նախատեսվում է ունենալ ճիշտ այնպիսի ազդանշան, ինչ որ պետք է լինեք ամբողջ ընթացքում համակարգի՝ դասական ՓՀԴ-ով աշխատանքի դեպքում: Նկ. 4-ում բերված է առաջարկվող ՓՀԴ-ի բլոկ-սխեման:

Ինչպես երևում է նկ.4-ից, դասական ՓՀԴ-ը [1-4] առաջարկվող սխեմայի բաղկացուցիչ մասն է կազմում: Համակարգի աշխատանքի ողջ ընթացքում այն շարունակում է գործել: Բացի դասական ՓՀԴ-ից, առաջարկվող սխեմայի մեջ մտնում են երեք D տրիգեր, ըստ մոդուլ երկուսի գումարման տարր և երկու մուլտիպլեքսոր: Դասական ՓՀԴ-ի էլքային UP1 և DN1 ազդանշանները համեմատվում են D1 և D2 տրիգերների միջոցով: Երբ հաճախականությունները հեռու են միմյանցից, տրիգերներից մեկի էլքում տրամաբանական “1” մակարդակ է, իսկ մյուսում՝ “0” (կախված այն բանից, թե Fhկ-ն մեծ է Fh-ից, թե փոքր): Երբ հաճախականությունները բավական մոտենում են, ըստ մոդուլ երկուսի գումարման X տարրի էլքում հաստատուն բարձր մակարդակի փոխարեն հայտնվում են իմպուլսներ: Հենց առաջին հայտնված իմպուլսը D3 տրիգերը փոխանջատում է տրամաբանական բարձր մակարդակի (EN ազդանշան): EN-ը տրված է էլքային մուլտիպլեքսորներին որպես ղեկավարող ազդանշան: Մուլտիպլեքսորների միջոցով կատարվում է ընտրություն դեպի էլք փոխանցել դասական ՓՀԴ-ի էլքային, թե UP0 և DN0 հաստատուն ազդանշանները: Մինչև EN-ի տրամաբանական “1” դառնալը

Այսպիսով, համակարգի աշխատանքի սկզբում, երբ հենակային ազդանշանի և հետադարձ կապի ազդանշանի հաճախությունները շատ հեռու են, կատարվում է դրանց արագ մոտեցում, իսկ վերջնական հավասարեցումը կատարվում է դասական ՓՀԴ-ի միջոցով: Արդյունքում ՓՀԴ-ի համալարման ժամանակը փոքրանում է:

Ինչպես երևում է նկ.5-ից, փոփոխված ՓՀԴ-ի օգտագործման դեպքում համալարման ժամանակը կրճատվել է մոտ 30%-ով, ինչը եական առաջնության է:



Նկ.5. Դասական և ձևափոխված փուլահաճախականային դետեկտորներով հաճախականության փուլային ինքնաենթալարքի մոդելավորման արդյունքները

**Եզրակացություն:** Դասական ՓՀԴ-ի փոխարինումը առաջարկված տարբերակով կարող է լուծել համալարման ժամանակի փոքրացման խնդիրը՝ կրճատելով այն մոտ 30%-ով, որը ստացվում է ՓՀԴ-ի բարդացման շնորհիվ: Այսպիսով, ՀՓԻ-ի նախագծման ընթացքում ՓՀԴ-ի սխեմայի պարզության և համալարման ժամանակի փոքրացման միջև ընտրություն կատարելու անհրաժեշտություն է առաջանում:

#### ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Razavi B.** Design of Analog Integrated Circuits. -McGraw-Hill, New York, 2001. -676p.
2. **Baker R. J.** CMOS Circuit Design, Layout and Simulation. Second Edition. IEEE Press Series on Microelectronic Systems, 2005. -1022p.
3. **Gardner F. M.** Phaselock Techniques. Third Edition. -John Wiley and Sons, Transactions on CAD of Integrated Circuits and Systems, 2005. -425p.
4. **Maneatis J. G., Kim J., McClatchie I., Maxey J., Shankaradas M.** Self-Biased High-Bandwidth Low-Jitter 1-to-4096 Multiplier Clock Generator PLL // IEEE Journal of Solid State Circuits. -2003. -Vol. 38, No 11. -P. 1795-1803.

ՀՊՃՀ: ՆՅուրը ներկայացվել է խմբագրության 19.03.2009:

**В.Ш. МЕЛИКЯН, М.Н. ИШХАНЫАН, А.А. ОВСЕПЯН, А.Г. САРГСЯН,  
Д.Л. МИРЗОЯН, А.Н. ХАЧАТРЯН**

**МЕТОД УМЕНЬШЕНИЯ ВРЕМЕНИ УСТАНОВКИ СИСТЕМЫ ФАЗОВОЙ  
АВТОПОДСТРОЙКИ ЧАСТОТЫ**

Рассматривается метод уменьшения времени установки системы фазовой автоподстройки частоты. Представлено новое решение, позволяющее снизить время установки системы автоподстройки частоты, одновременно оставляя постоянными остальные параметры.

**Ключевые слова:** система фазовой автоподстройки частоты, время установки.

**V.SH. MELIKYAN, M.N. ISHKHANYAN, A.A. HOVSEPYAN, A.G. SARGSYAN,  
D.L. MIRZOYAN, A.N. KHACHATRYAN**

**PHASE-LOCKED LOOP TIME REDUCTION METHOD**

Phase-locked loop lock time reduction method is considered. A new solution allowing to decrease lock time of phase-locked loop and leaving the rest of parameters constant is presented.

**Keywords:** phase-locked loop, lock time.