

М.М. ОСИПЯН

НЕКОТОРЫЕ ВОПРОСЫ ОЦЕНКИ КАЧЕСТВА ВХОДНОГО КОНТРОЛЯ ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Проведено исследование системной методологии и задач статистической оптимизации микросхем. Дано обоснование концепции микроконтроллерной автоматизированной контрольно-измерительной аппаратуры входного контроля цифровых интегральных схем с последующей оценкой эффективности ее функционирования. Предложена модель процесса тестирования и получены зависимости вероятности обнаружения ошибок от параметров системы испытаний и продолжительности испытаний от оптимизации тестовых последовательностей.

Ключевые слова: входной контроль цифровых интегральных схем, автоматизированная контрольно-измерительная аппаратура, микроконтроллер, микроконтроллерная система, статистическая оптимизация микросхем, «тест-маршрут», автоматизированное рабочее место.

Проблема испытания цифровых интегральных схем (ЦИС) и необходимость прогнозирования процента выхода годных микросхем на этапе их проектирования актуальна. Один из основных этапов, регламентирующих направленное развитие автоматической испытательной аппаратуры, рассматривается как «входной контроль» микросхем у пользователя в процессе приобретения контрольно-измерительной аппаратуры (КИА).

Повышение степени интеграции и функциональной сложности ЦИС привело, с одной стороны, к обеспечению их массового применения в различных областях науки и техники, а с другой - созданию ощутимого разрыва между технологическими достижениями в микроэлектронике и имеющимся в производстве контрольно-измерительным оборудованием (КИО). При этом формирование полных моделей испытания ЦИС пока не представляется возможным в силу их функциональной сложности и недостаточности знания всех механизмов отказов и сбоев при динамическом функционировании элементов микронных и субмикронных размеров в монолитном блоке. Проблема усугубляется с имитацией реальных условий их функционирования в аппаратуре в частности, из-за сложности формального описания этих условий.

Анализ существующих моделей («Электрон-СД», серии установок УТК- 2, 2М, 1М, 5М, 3, 21; из зарубежных – LSI test system, INSPECTOR 100 digital IC test system, ANALLIFIER 901 и др.), начиная с КИА «Вахта-1» и кончая современными автоматизированными многопостовыми системами, а также разработками таких зарубежных фирм, как Credence Systems Corp., Gen Rad Inc., Logic Vision Inc., HPL Moduls, позволяющих испытывать даже сверхбольшие интегральные схемы (СБИС), предусматривающих самотестирование и автоматическую самокалибровку, обладающих высоким уровнем модульности

архитектуры, показывает, что существующие средства и методы контроля и испытаний ЦИС недостаточно совершенны. Возможно, что они взаимодополняемы, но в целом не в состоянии обеспечить испытательные режимы, соответствующие условиям реальной эксплуатации ЦИС.

При детальном исследовании положений возможных структур КИА (проблема в ошибочной первоочередности при разработке микросхем, нецелесообразности введения входного контроля ЦИС, увеличении количества автоматизированных рабочих мест (АРМ) и т.д.) отметим блочно-модульный принцип построения, не отражающий системной целостности КИА. Такое представление вопроса при существующем изобилии методов и средств испытаний предугадывает на сегодняшний день постановку задачи исследования системной методологии (классы тестируемых ЦИС, системы критериев выбора эффективности КИА, стратегии последовательности решения и т.д.) и статистической оптимизации микросхем. Например, анализируя состояние вопроса по определению статистических характеристик выходных параметров микросхем, прогнозированию и выработке рекомендаций для обеспечения максимальной вероятности выхода годных микросхем, можно констатировать, что для реализации прецизионных статистических расчетов микросхем в пределах допустимых затрат машинного времени необходимо иметь методы и программы статистического анализа микросхем при произвольных законах распределения параметров элементов с реально существующими статистическими связями между ними [1]. Об оценках времени известно, что для многопроцессорных систем за счет распараллеливания вычислений (операций) невозможно получить более существенное сжатие времени вычислений, чем порядка корня квадратного от времени, затрачиваемого при оптимальных по времени последовательных вычислениях. Можно, конечно, значительно сократить время статистической оптимизации по критерию максимальной вероятности выхода годных микросхем, используя широко применяемую в практике их разбраковки методику оптимального размещения тестов. К примеру, отбор тестов, в свою очередь, может основываться на представлении схемы в виде графа, который затем формализуется в матричном представлении.

Кроме того, обычно методы статистической оптимизации, позволяющие определить оптимальные значения параметров элементов микросхемы, не всегда предполагают рассмотрение вопроса оценки вероятности выхода годных изделий, хотя бы с учетом влияния точностных характеристик автоматизированной контрольно-измерительной аппаратуры (АКИА). Подобная «двузначность» производственного показателя, зависящая от полноты системы электрических параметров микросхемы, объема тестируемых микросхем, выбора методов метрологического контроля, состава и распределения КИО и многих других факторов, нежелательна.

Цель работы - на уровне технической и программной структур предложить новые подходы к организации АКИА входного контроля ЦИС для повышения точности и уменьшения времени их тестирования.

Замена традиционных моделей КИА системой под управлением микроконтроллера (МК) на микропроцессорных (МП) БИС может привести не только к утверждению МК как устройства, предназначенного для автоматизации наиболее часто встречающихся в промышленности технологических

процессов и являющегося своего рода интерфейсом между автоматикой и информатикой, но и к развитию концепции новых микроконтроллерных структур. Быстрый циклический характер работы, определяющий их способность вести обработку данных в «реальном масштабе времени», предопределяет их широкомасштабное применение гораздо легче, чем такие совершенные, как ЭВМ и мини-ЭВМ, или менее совершенные, как микро-ЭВМ и жесткие логические схемы (примером может служить модель семейства микроконтроллеров 68HC05 фирмы MOTOROLA, рис.1) [2].

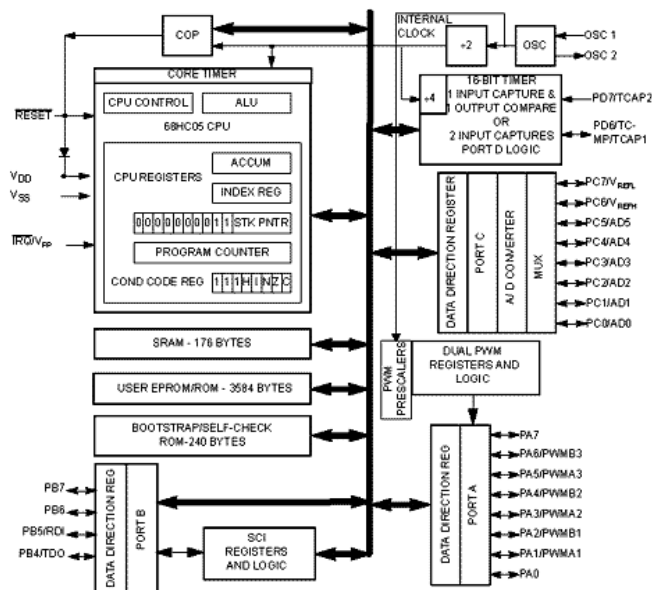


Рис. 1. Блок-схема современного МК из семейства микроконтроллеров 68HC05

Поэтому информационную модель микроконтроллерной системы можно упростить, сведя ее к модели интерфейсного канала («Интерфейса»), состоящего из узлов и направлений информационных потоков с соответствующим их преобразованием.

В цифровых системах управления с МК задачу конструирования будем рассматривать как задачу выбора структуры устройства обработки данных, памяти, каналов обмена, способа организации вычислительного процесса и, наконец, определения типа управления этими устройствами, обеспечивающими требуемую производительность. Не вызывает сомнения, что они будут представлять собой функционально-распределенные вычислительные системы (ВС), состоящие из большого числа специализированных, функционально-ориентированных и проблемно-ориентированных модулей нетрадиционных архитектур. Из эффективных структур выберем информационный граф с параллелизмом объектов, ветвей регулярных связей между операторами и ветвей с произвольным набором операторов и связей и представим микроконтроллерную систему (МК – система), (рис. 2).

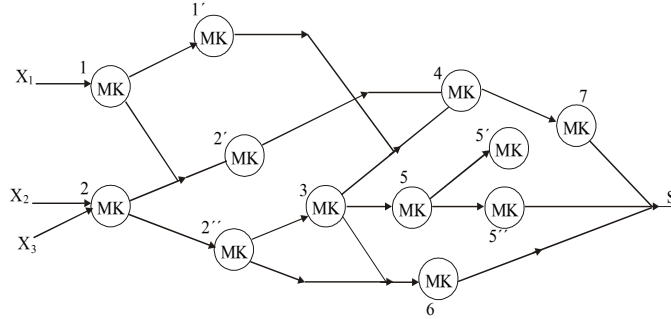


Рис. 2. Информационная граф- модель МК -системы

В вершинах $S_1, S_2, \dots, S_n$ информационного графа (ИГ) находятся операторы – МК, в которых происходит преобразование поступающих на их входы данных. Дуги показывают пути передачи информации между соответствующими вершинами. В каждый момент времени система обеспечивает множество вершин-операторов, готовых к работе. В зависимости от условий, вырабатываемых в различных частях графа, могут быть подключены определенные ветви.

Для рассмотрения вопросов оценки эффективности микроконтроллерной КИА для ЦИС определим сначала эффективность МК при обслуживании микросхем одного типа. Пусть t_{ik} – время, необходимое для обслуживания i -й схемы k -го типа ($k=1, 2, \dots, N$, где N – число типов схем, отличающихся своей функциональной сложностью; $i=1, 2, \dots, n$, n – число схем одного типа). Тогда эффективность (Θ_k) МК при обслуживании схем только одного (k -го) типа выглядит следующим образом:

$$\Theta_k = f(\sum t_{ik}). \quad (1)$$

Вид функции (1) зависит от многих факторов, в том числе от точности измерения и числа выводов схемы. Выражение (1) позволяет сравнивать эффективности различных МК при обслуживании однотипных схем. В случае, когда необходимо сравнить эффективности МК, обслуживающих ЦИС разного типа или даже нескольких разных типов, ситуация усложняется, так как надо учесть различия в сложностях между типами схем. Это достигается введением коэффициента A_k , который зависит от функциональной сложности схемы k -го типа (в самом простом случае зависит от числа измеряемых параметров ЦИС). Пусть M – число выводов микросхемы, V – число измеряемых параметров ЦИС. Тогда выражение для эффективности МК, обслуживающего N типов схем, примет вид

$$\Theta = \Phi(\sum A_k; \sum t_{ik}), \quad (2)$$

где $A_k = \Phi_i(M, V)$.

Зная вид функций Φ и Φ_i , согласно (2) можно сравнить эффективности работы как различных МК, так и одного МК при обслуживании разных типов ЦИС.

Отметим, что эффективной способностью по обнаружению ошибок обладают операции тестирования. Для практических оценок используют критерии, характеризующие эффективность отдельных метрологических операций. Например, эффективность применения средств измерений для контроля изделия функцией суммарных потерь «С» оценивается следующим образом:

$$C = C_1 P \alpha_o + C_2 (1 - P) \beta_o, \quad (3)$$

где C_1, C_2 – стоимость ущерба, наносимого ошибочными решениями; P – вероятность поступления на контроль годного устройства; α_o, β_o – условные вероятности ложного и необнаруженного отказов, характеризующие достоверность контроля.

Учитывая и допуская, что «С» можно определить коэффициентом готовности тестирующей системы $K_r = F(\lambda, T_k, t_k, \alpha_o, \beta_o, t_\beta)$, где λ – интенсивность отказов устройств, T_k, t_k – период и длительность контроля, α_o, β_o – условные вероятности ложного и необнаруженного отказов, t_β – среднее время восстановления технического устройства, получим зависимость вероятности обнаружения ошибок от параметров системы испытаний:

$$P = \frac{F(\lambda, T_k, t_k, \alpha_o, \beta_o, t_\beta) - C_2 \beta_o}{C_1 \alpha_o - C_2 \beta_o}, \quad (4)$$

полагая, что вероятность обнаружения ошибок эквивалентна вероятности обнаружения негодной микросхемы.

Уровень теоретической разработки методов тестирования в значительной мере зависит от объектов. Наиболее полно в настоящее время исследованы методы тестирования программных модулей и небольших групп программ [3]. Обычно модели обнаружения и локализации ошибок определяют выявление всех отклонений результатов функционирования реальной программы от заданных эталонных значений. Это аналогично в процессе тестирования выделению тестируемых маршрутов (назовем «тест-маршрут» методикой). Сложность программных модулей ЦИС можно оценивать по числу маршрутов (M_k), необходимых для их проверки, или более полно по суммарному числу условий (ξ_i), которое необходимо задать в тестах для прохождения всех маршрутов K -й программы:

$$\xi_k = \sum_{i=1}^{M_k} \xi_i, \quad (5)$$

где i – число условий предикатов, определяющих i -й маршрут.

Продолжительность тестирования находится в прямой зависимости от сложности объекта тестирования (A_k) и оптимизации тестовых последовательностей. При статистической оптимизации по критерию максимальной вероятности выхода годных микросхем можно добиться существенного сокращения объема вычислений, рассчитывая микросхему в соответствии с заданной оптимально организованной последовательностью тестов. Можно, например, расположить тесты в последовательности $P_1 \geq P_2 \geq \dots \geq P_m$, где P_j – вероятность забраковывания схемы по j -му параметру (i -му тесту модуля).

В соответствии с выбранной совокупностью выходных параметров y_i , которыми характеризуется микросхема, она считается работоспособной, если последние находятся в заданных границах:

$$\begin{aligned} a_1 &\leq y_1(x_1, x_2, \dots, x_j, \dots, x_n) \leq b_1, \\ a_2 &\leq y_2(x_1, x_2, \dots, x_j, \dots, x_n) \leq b_2, \\ a_m &\leq y_m(x_1, x_2, \dots, x_j, \dots, x_n) \leq b_m. \end{aligned}$$

Дополнив выражение (5) выходными параметрами микросхемы, получим

$$A_k = \sum_{i=1}^{M_k} \sum_{j=1}^{l_i} V_{ij} + \xi_i, \quad (6)$$

где V_{ij} – число значений переменной y_m .

Продолжительность тестирования T_k , являясь функцией сложности объекта тестирования A_k , можно выразить зависимостью от вероятности выхода годных микросхем с m -мерной плотностью совместного распределения вероятностей случайных величин (выходных параметров микросхемы, которые в общем случае могут быть коррелированы между собой) - $\varphi(y_1, y_2, \dots, y_m)$:

$$T_k = \sum_{i=1}^{M_k} \sum_{j=1}^m P_j = \sum_{i=1}^{M_k} \sum_{j=1}^m \int_{a_j}^{b_j} \varphi(y_j) dy_j \rightarrow \min. \quad (7)$$

При такой постановке вопроса организацию рабочих мест (РМ) при комплексных испытаниях ЦИС можно осуществить следующим образом (рис.3):

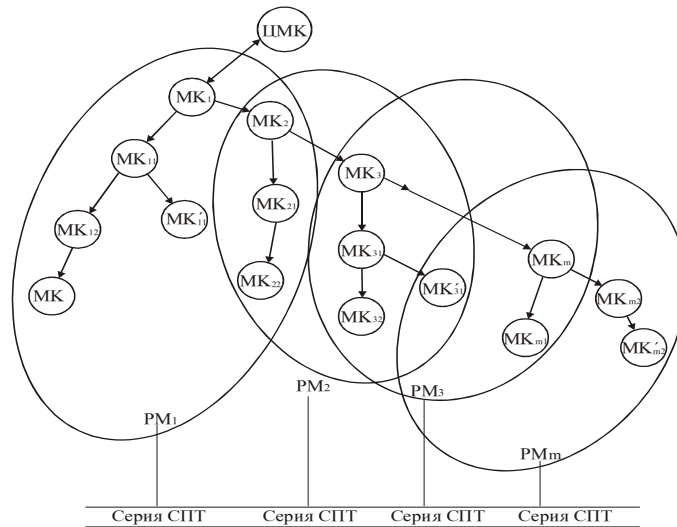


Рис. 3. Граф-модель организации РМ при комплексных испытаниях ЦИС

Структура данной модели базируется на основе объединения, пересечения графов РМ, где $i \in \{1, 2, \dots, m\}$:

$$PM = PM_1 \cap PM_2 \cap \dots \cap PM_m = \bigcap_{i=1}^m PM_i.$$

Для автономных испытаний:

$$PM = PM_1 \cup PM_2 \cup \dots \cup PM_b = \bigcup_{i=1}^m PM_i.$$

Возможно, что дальнейшее совершенствование данной модели может привести к изоморфному вложению PM_i , а окончательная граф-модель – к спиралеобразной форме и применимости методов оптимизации без ограничений.

СПИСОК ЛИТЕРАТУРЫ

1. **Беляков Ю.Н., Курмаев Ф.А. Баталов Б.В.** Методы статистических расчетов микросхем на ЭВМ. – М.: Радио и связь, 1985. – 232 с.
2. **Шагурий И.И., Бродин В.Б.** и др. Средства проектирования и отладки систем управления на базе микроконтроллеров Motorola. Обзор, Copyright 1997, Motorola.
3. **Липаев В.В.** Тестирование программ. – М.: Радио и связь, 1986. – 296 с.

ГИУА. Материал поступил в редакцию 05.09.2003.

Մ.Մ. ՀՈՎՍԵՓՅԱՆ

ԹԻՄ-Ի ՄՈՒՏՔԱՅԻՆ ՀՄԿՄԱՆ ՈՐԱԿԻ ԳՆԱՀԱՏԱԿԱՆԻ ՈՐՈՇ ՀԱՐՅԵՐ

Միկրոսխեմաների համակարգչային մեթոդաբանության ու վիճակագրական օպտիմալացման խնդիրների ուսումնասիրման արդյունքում հիմնավորված է ԹԻՄ-ի մուտքային հսկման միկրոկոնտրոլերային ԱՀԶՀ-ի մոդելի մտահղացումը՝ գործունեության արդյունավետության գնահատականով: Մշակված է ԹԻՄ-ի տեստավորման գործընթացի մոդել:

M.M. HOVSEPYAN

SOME PROBLEMS ON QUALITY ESTIMATION FOR DIGITAL CIRCUIT INPUT CONTROL

An investigation of system methodology and statistical optimization tasks of the microcircuits is carried out. The conception of the microcontroller tester for digital circuits input control is proved. A model of the digital circuit testing process is proposed. Dependences on debugging the system testing parameters and testing durability of optimization testing sequences are obtained.