

ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА

И. М. ШАТАХЯН, С. Г. ЗУБАЧЕВ

РАЗРАБОТКА СИСТЕМЫ ТЕСТОВ ДЛЯ ВЫХОДНОГО
 КОНТРОЛЯ ИНТЕГРАЛЬНОЙ СХЕМЫ И-НЕ В
 СТАТИЧЕСКОМ РЕЖИМЕ

Качественные показатели логических схем X_1, \dots, X_n — нагрузочная способность, помехоустойчивость, рассеиваемая мощность и т. д. являются функциями от параметров активных и пассивных компонентов схем y_1, y_2, \dots, y_m . Они должны удовлетворять определенным требованиям, предъявляемым к ним в зависимости от условий эксплуатации. Эти требования, выраженные параметрами $X'_1, X'_2, \dots, X'_n, X''_1, X''_2, \dots, X''_n$, ограничивают некоторую область работоспособности в n -мерном пространстве. Схема считается работоспособной, если удовлетворяется следующая система уравнений и неравенств:

$$x_i = f_i(X'_1, X'_2, \dots, X'_n, X''_1, X''_2, \dots, X''_n, y_1, y_2, \dots, y_m) \quad (1)$$

$$X'_i \leq x_i \leq X''_i, \quad i = 1, 2, \dots, n.$$

Здесь y_1, \dots, y_m — параметры активных и пассивных компонентов схемы, например, параметры транзистора, полученные в результате кусочно-линейной аппроксимации его характеристик, параметры модели транзистора Эберса-Молла, величины резисторов и т. д.

Для реализации на практике системы (1) необходимо разработать тесты для выходного контроля логических схем.

Поскольку в готовых интегральных схемах имеется возможность оперировать только входными и выходными напряжениями и токами, то задача заключается в нахождении граничных величин входных и выходных напряжений и токов — тестовых параметров $Z_1, Z'_1, \dots, Z_k, Z'_k$. Их воздействие на схему должно быть эквивалентно воздействию напряжений и токов во время работы схемы в функциональном узле при наихудшем сочетании входных уровней сигналов и нагрузок для данного параметра области работоспособности. Другими словами, нужно перейти от области работоспособности, заданной требованиями к качественным показателям схем — $X'_1, X'_2, \dots, X'_n, X''_1, X''_2, \dots, X''_n$, к тестовой области работоспособности, выраженной напряжениями и токами — тестовыми параметрами — $Z_1, Z'_1, \dots, Z_k, Z'_k$. При подключении величин тестовых параметров к интегральной схеме на ее соответствующих вынодах кон-

тролируют напряжения или токи, которые зависят от самих тестовых параметров и от параметров активных и пассивных компонентов испытуемой схемы. Тестовые показатели—контролируемые напряжения или токи z_1, \dots, z_k , характеризуют определенный качественный показатель схемы. Так как последний должен иметь определенные границы, то и тестовый показатель также должен сравниваться с соответствующим тестовым параметром, рассчитанным на основе требований к исследуемому качественному показателю схемы.

Таким образом, необходимо осуществить переход от (1) к следующей системе уравнений и неравенств [1]:

$$z_i = f_i(Z_{1i}, Z_{2i}, Z_{3i}, Z_{4i}, \dots, Z_{ki}, Y_1, Y_2, \dots, Y_n),$$

$$Z_i \leq z_i \leq \bar{Z}_i, \quad i = 1, 2, \dots, k.$$
(2)

Система (2) представляет собой тестовую модель, которая на практике должна служить системой тестов для выходного контроля схем.

Разработку системы тестов покажем на примере 6-ти входной логической схемы И—НЕ (ИЛИ—НЕ), приведенной на рис. 1.

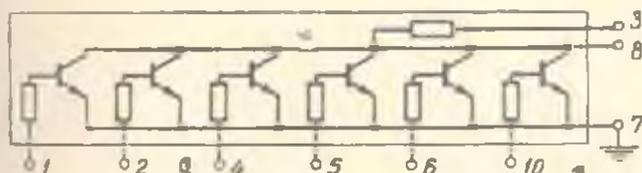


Рис. 1.

Система тестов при работе схемы в статическом режиме составляется, исходя из следующих предпосылок:

- а) должны быть заданы параметры области работоспособности: нагрузочная способность N , помехоустойчивость ΔU , коэффициент объединения по выходу M , величина рассеиваемой мощности $P_{\text{рассеив}}$
- б) на входе и выходе схемы создаются наихудшие условия для испытываемого параметра области работоспособности:
- в) учитываются разбросы параметров активных и пассивных компонентов схемы;
- г) учитываются величины колебаний э. д. с. источников питания.

Для составления тестовой модели схемы рассмотрим каждый параметр области работоспособности (N , ΔU и т. д.) в отдельности.

1. Нагрузочная способность. Наихудшим на выходах схемы является случай, когда на все входы испытываемой схемы подается напряжение, величина которого является суммой максимального выходного уровня логического нуля* $U_{\text{лог}0}$ и максимальной величины помехи по включению ΔU . Тогда коллекторные токи условно закрытых транзи-

* Здесь и в дальнейшем индексы (1) и (2) означают минимальное и максимальное значения, 0 и 1 — логические нуль и единица.

сторон будут максимальными, выходное напряжение схемы — минимальным, следовательно, выходная мощность, отдаваемая на нагрузку, также окажется минимальной. Вместо нагрузки к выходу схемы (вывод 8, рис. 1) целесообразно подключить эквивалентное сопротивление $R_{экв1} = U_{вых}^{(1)} / I_{Н1}$ и о выходной мощности судить по току, протекающему через него и удовлетворяющему неравенству $I_{R_{экв1}} \geq I_{Н1}$ (где $I_{Н1}$ — тестовый параметр, ограничивающий потребляемый нагрузкой ток при приложении на ее вход напряжения $U_{вых}^{(1)}$). Пренебрегая внутренним сопротивлением миллиамперметра, можно написать, что тестовый показатель $I_{R_{экв1}}$ равен:

$$I_{R_{экв1}} = f(U_{вх}^{(2)}, U_{вх}^{(1)}, I_{Н1}, y_1, y_2, \dots, y_m). \quad (3)$$

При выходном контроле интегральной схемы эта величина проверяется тестом № 1 (см. табл. 1).

Таблица 1

Номер тестов	Предмет измерений	Контр-роль-ный вывод	Режим измерений								Пределы измерений		
			Номера выводов								min	max	
			1	2	4	5	6	10	3	8			
1	$I, \text{ма}$	8	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$E_c^{(1)}$	$R_{экв1}$	$I_{Н1}$	
2	$U, \text{в}$	8	$U_{вх}^{(1)}$	0	0	0	0	0	0	.	—	—	$U_{вх}^{(2)}$
3	$U, \text{в}$	8	0	$U_{вх}^{(2)}$	0	0	0	0	0	.	—	—	.
4	$U, \text{в}$	8	0	0	$U_{вх}^{(1)}$	0	0	0	0	.	—	—	.
5	$U, \text{в}$	8	0	0	0	$U_{вх}^{(1)}$	0	0	0	.	—	—	.
6	$U, \text{в}$	8	0	0	0	0	$U_{вх}^{(1)}$	0	0	.	—	—	"
7	$U, \text{в}$	8	0	0	0	0	0	$U_{вх}^{(1)}$	0	"	—	—	"
8	$I, \text{ма}$	1	$U_{вх}^{(1)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$.	—	—	$I_{вх}^{(2)}$
9	$I, \text{ма}$	2	$U_{вх}^{(1)}$	$U_{вх}^{(1)}$	"	"	—	—	.
10	$I, \text{ма}$	4	"	$U_{вх}^{(2)}$	$U_{вх}^{(1)}$	"	—	—	"
11	$I, \text{ма}$	5	"	.	$U_{вх}^{(2)}$	$U_{вх}^{(1)}$	"	.	.	.	—	—	"
12	$I, \text{ма}$	6	"	.	"	$U_{вх}^{(2)}$	$U_{вх}^{(1)}$	"	.	.	—	—	.
13	$I, \text{ма}$	10	"	.	"	"	$U_{вх}^{(2)}$	$U_{вх}^{(1)}$	$U_{вх}^{(1)}$.	—	—	—
14	$I, \text{ма}$	3	"	.	.	.	"	$U_{вх}^{(2)}$	$U_{вх}^{(2)}$	$E_c^{(2)}$	—	—	$I_{R_{экв}}$
15*	$\Sigma I_{вх}, \text{ма}$	"	"	.	.	"	—	—	$M_{вх}^{(2)}$
16	$I, \text{ма}$	8	0	0	0	0	0	0	0	"	$R_{экв2}$	—	$I_{вх}^{(2)}$

* Напряжение подается одновременно на все входы.

Наихудшим сочетанием параметров схем-нагрузок является случай, когда одна из них имеет максимальное входное сопротивление (рис. 2, схема 1) и $N-1$ схем имеют минимальное входное сопротивление (рис. 2, схемы 2). Схема 1 имеет максимальное входное сопротивление за счет заземления ее $M-1$ входов. Тогда почти весь ток по R_{kj} будет протекать через коллекторную цепь транзистора испытуемого входа. Степень насыщения транзистора и сдвиг его входных характеристик окажутся минимальными. В этих условиях выводится аналитическое выражение между выходным напряжением схемы $U_{вых}^{(j)}$ открытой лишь по одному входу, как функцию от тестового параметра $U_{вх}^{(i)}$ и параметров активных и пассивных компонентов схемы y_i :

$$U_{вых}^{(j)} = f(U_{вх}^{(i)}, y_1, y_2, \dots, y_m). \quad (4)$$

Здесь $U_{вых}^{(j)}$ — напряжение на выходе j -ой схемы при подаче уронни на ее i -ый вход. Полученная величина напряжения должна удовлетворять условию $U_{вых}^{(j)} < U_{пр}^{(j)}$. При выходном контроле это требование проверяется для каждого из 6-ти входов схемы И — НЕ тестами №№2 — 7.

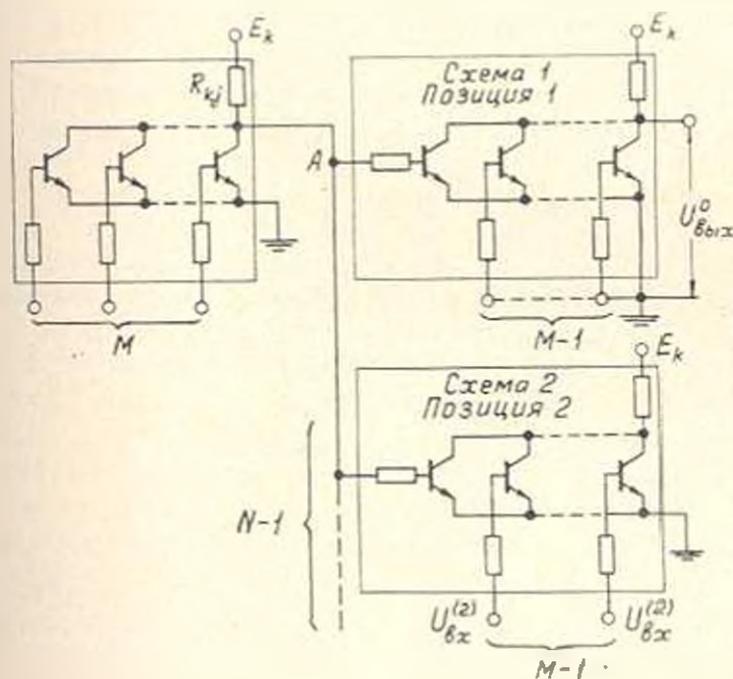


Рис. 2

Исходя из условий работы схем-нагрузок в позиции 2, должна проверяться величина входного тока схемы $I_{вх}$ при подаче на этот вход $U_{вх}^{(i)}$, а на остальные $M-1$ входов — напряжение $U_{вх}^{(j)}$. В этих условиях определяется аналитическое выражение тестового показателя $I_{вх}$, как функция от тестовых параметров $U_{вх}^{(i)}$ и $U_{вх}^{(j)}$ и от y_i :

$$I_{вых} = f(U_{вх}^{(1)}, U_{вх}^{(2)}, y_1, y_2, \dots, y_m). \quad (5)$$

Величина $I_{вых}$ не должна превосходить тестовый параметр $I_{вх1}^{(2)} = I_{н1}/N$. При выходном контроле этот показатель проверяется тестами №№ 8-13 для каждого входа схемы.

2. **Помехоустойчивость по включению.** Она проверяется одновременно с определением годности схемы по нагрузочной способности (тест № 1). Действительно, на входы схемы подается $U_{вх}^{(2)}$, равное

$$U_{вх}^{(2)} = U_{вх1}^{(2)} + \Delta U, \quad (6)$$

В этих условиях схема должна давать на выходе мощность $P_{вых} > I_{н1} U_{вх1}^{(2)}$.

3. **Помехоустойчивость по выключению.** Проверяется одновременно с определением годности схемы, как нагрузки и позиции 1 (рис. 2). Действительно, при внешних условиях, создающих на проверяемом входе схемы максимальное входное сопротивление, требуется получить на выходе напряжение $U_{вх1}^{(2)}$, подавая на вход схемы минимальный входной уровень логической единицы. Аналитическое выражение этого условия совпадает с условиями тестов №№ 2-7.

4. **Рассеиваемая мощность.** Здесь наихудшим является случай когда на все входы схемы подается максимальный уровень логической единицы $U_{вх}^{(2)}$. Тогда максимальная рассеиваемая мощность в коллекторных и базовых цепях испытываемой схемы определится из выражения

$$P_{расс} = P_{б, расс} + P_{к, расс} = U_{вх}^{(2)} \sum_{i=1}^N I_{вхi} + E_{к}^{(2)} I_{Rк}, \quad (7)$$

где $\sum_{i=1}^M I_{вхi}$ и $I_{Rк}$ — соответственно суммы базовых и коллекторных токов. С небольшой погрешностью можно принять, что $I_{Rк} = E_{к}^{(2)}/R_{к}$. При этом должно удовлетворяться условие:

$$I_{Rк} < I_{обш} = \frac{P_{расс, вып} - U_{вх}^{(2)} M I_{вх2}^{(2)}}{E_{к}^{(2)}}, \quad (8)$$

где $I_{обш}$ и $I_{вх1}^{(2)}$ — тестовые параметры. Неравенство (8) проверяется тестом № 14. Входной ток каждого транзистора схемы определяется аналогично максимальному входному току при проверке годности схемы, как нагрузки с минимальным входным сопротивлением (тестами №№ 8-13), с той разницей, что здесь на все входы подается одно и то же напряжение $U_{вх}^{(2)}$. Поэтому проверка производится всего лишь одним тестом № 15, то есть $\sum_{i=1}^M I_{вхi} < M I_{вх1}^{(2)}$.

Тесты № 14 и № 15 ограничивают схему по рассеиваемой мощности при приложении ко входам напряжения $U_{вх}^{(2)}$. Очевидно, что нужно предусмотреть тесты, ограничивающие выходное напряжение закрытой

схемы на уровне $U_{вх}^{(2)}$ при наилучшей в этом случае нагрузке на выходе. Схема по возможности полнее окажется закрытой, если все ее входы заземлить. На выходе должна быть подключена минимальная (единственная) нагрузка с максимально возможным входным сопротивлением. Удобнее вместо схемы-нагрузки к выходу испытываемой схемы подключить эквивалентное сопротивление $R_{экв2} = U_{вх}^{(2)} / I_{вх}^{(2)}$, и контролировать ток, протекающий по нему, равный $I_{Рэкс2} = f(U_{вх}^{(2)}, y_1, y_2, \dots, y_m)$. При этом значение тока должно удовлетворять условию $I_{Рэкс2} < I_{вх2}^{(2)}$ при контроле схемы, реализуемой тестом № 16.

Полученные выражения составляют математическую тестовую модель схемы И-НЕ (ИЛИ-НЕ), которая охватывает все возможные наилучшие состояния схем согласно требованиям, предъявляемым к качественным показателям. Система тестов, соответствующая модели, после отбраковки схемы обеспечивает у нее наличие всех требуемых качественных показателей.

Из приведенных выражений следует, что основными независимыми тестовыми параметрами являются только $U_{вх}^{(1)}$, $U_{вх}^{(2)}$, $U_{вх}^{(3)}$, $I_{вх}^{(1)}$ и $I_{вх}^{(2)}$, остальные тестовые параметры являются функциями от них и заданных качественных показателей схем.

Таким образом, тестовые параметры и связи между ними определяются требованиями к качественным показателям схем. Так как эти требования являются общими для любого типа логической схемы, то и тестовые параметры также будут едиными для разных типов схем, работающих в статическом режиме; общей окажется и методика составления тестовой модели. Последняя заключается в нахождении и аналитическом описании наилучших случаев на внешних выводах интегральной схемы для каждого качественного показателя или, что то же самое, каждого тестового параметра. Поэтому указанный способ разработки тестовой модели для схемы И-НЕ (ИЛИ-НЕ) можно распространять на любой другой тип логических схем, как токовых, так и потенциальных. Величины основных тестовых параметров следует выбирать, исходя из величин и разбросов параметров активных и пассивных компонентов испытываемого типа схемы. Очевидно, существует бесконечное количество групп значений основных тестовых параметров. Любая схема, прошедшая систему тестов, составленной любой из этих групп значений, будет работоспособной при наилучших внешних допустимых требованиях к качественным показателям схем условиях. Но каждой такой группе значений будет соответствовать свой процент выхода годных схем. Для нахождения оптимальных величин тестовых параметров необходимо рассчитать тестовую модель статистическим методом и оптимизировать ее на ЭЦМ.

Блок-схема расчета и оптимизации тестовых параметров показана на рис. 3. Статистический расчет производится методом Монте-Карло [2]. В блоке № 1 вырабатываются случайные числа и приводятся к со-

ответствие с законами распределений и статистическими характеристиками параметров активных и пассивных компонентов логических схем $M\{y_i\}$, $D\{y_i\}$, $y_i^{(1)}$, $y_i^{(2)}$. Здесь также учитываются различного рода корреляционные связи (между одноименными компонентами на разных подложках r_{y_i, y_j} разноименными параметрами на одной и той же подложке r_{z_i, z_j} и т. д.). В этом же блоке запоминаются исходные и текущие значения основных тестовых параметров, принятых за параметры оптимизации. В блоке №2 производится расчет тестовой модели схемы: согласно выражениям (2) определяется годность схемы по текущим значениям тестовых параметров последовательно для нормальной и двух граничных температур, чем обеспечивается высокая гарантия работоспособности схемы во всем заданном диапазоне температур. После достаточного количества испытаний получается процент выхода годных схем, который является в данном случае функцией качества. В блоке №3 осуществляется движение к оптимуму методом наискорейшего спуска. За критерий оптимизации принимается процент выхода годных схем. Поиск оптимума осуществляется по стратегии, изложенной в [3].

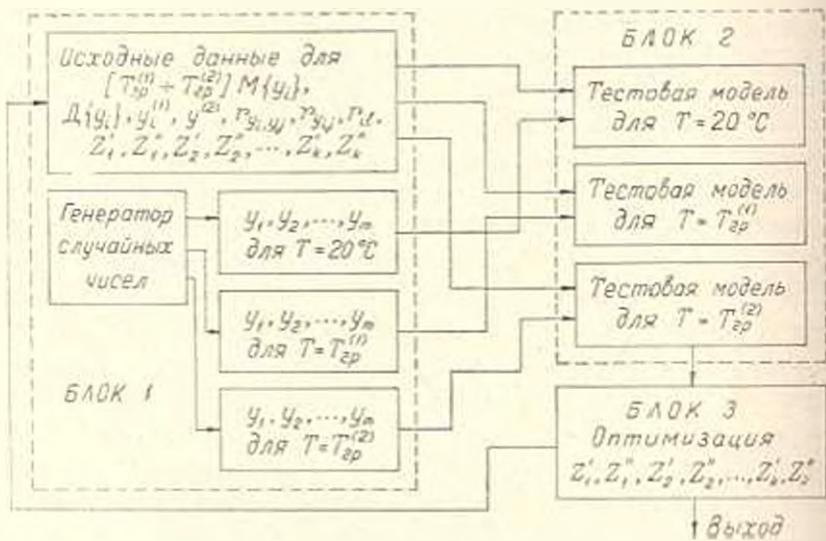


Рис. 3

Выводы

Разработанная система тестов обеспечивает работоспособность схем при любых возможных сочетаниях требований и их качественными показателями при условии выходного контроля всех схем без исключения при нормальной и граничных температурах. Полученная система тестов для выходного контроля логических схем с помощью статистического метода расчета на ЭЦВМ обеспечивает максимальный процент

выхода годных схем. Предложенная методика пригодна при разработке системы тестов для любых типов логических схем, причем, при желании можно расширить количество требований на качественные показатели схем.

Поступило 20. X. 1969.

Պ. Մ. ՇԱՏԱՆՅԱՆ, Ս. Կ. ԶՈՒԲՈՉՅԱՆ

**ՍՏԱՏԻՍՏԻԿԱՆ ՌԵՏԻՄՈՒՄ ԵՎ-ՈՉ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆ ԵԼՈՒՍԱՅԻՆ
ՍՏՈՒԳՐԱՆ ՀԱՄԱՐ ՏԵՍՏԵՐԻ ՍԻՍՏԵՄԻ ՄՇԱԿՈՒՄ**

Ա մ փ ա փ ու մ

Հոգիածում բերվում է միկրոէլեկտրոնային տրամաբանական սխեմաների ելուստային ստուգումը կատարելու համար անստերի հաշվարկման մեթոդիկայի նկարագրությունը: Վերլուծված են ԵՎ-ՈՉ ինտեգրալ տրամաբանական սխեմայի համար կիրառվող տեսուերը, նկարագրված է ՍՏՈՒ-Կարլոյի մեթոդով մեքենայական հաշվարկի բյուկ-սխեման և նրա տեստային մոդելի ուղարկմիկացիան: Նմանօրինակ հաշվարկով ստացվում են լարումների և հոսանքների սահմանային նշանակությունները սխեմայի արտաքին տարածումներում, վերջիններիս ոգնությունը կառուցվում է ելուստային ստուգման համար կիրառվող տեսուերի հաջորդականությունը, որն ապահովում է տրամաբանական սարքում սխեմայի աշխատունակության երաշխիքը ջերմաստիճանների արված ողջ դիսպաչոնում, ինչպես նաև պիտանի սխեմաներ ստանալու առաջնագույն տոկոսը:

Л И Т Е Р А Т У Р А

1. Николаев А. В., Доннер Б. А., Шатахян П. М. Разработка системы тестов для выходного контроля интегральной схемы триггера статическим методом. «Известия АН Арм. ССР (серия ТН)», т. XXII, № 4, 1969.
2. Бусленко Н. П. Метод статистических испытаний. Справочная математическая библиотека. Физматгиз, 1962.
3. Уайлд Д. Дж. Методы поиска экстремума. Изд. «Наука», 1967.