

Ա.Գ. ՄԱՆՈՒԿՅԱՆ, Ա.Ա. ԳԱԼՍՏՅԱՆ, Ա.Մ. ԴԱՆԻԵԼՅԱՆ

ԶՈՒԳԱՀԵՌ ԲԱԶՄԱԿԱՐԳ ԲԱԶՄԱՊԱՏԿԻՉՆԵՐԻ ՊԱՐԱՄԵՏՐԱՑՎԱԾ
ՄՈՂԵԼԻ ՄՇԱԿՈՒՄԸ

Զուգահեռ բազմակարգ բազմապատկիչների նկարագրումը՝ տրամաբանական տարրերի մակարդակով, բավականին ժամանակատար և բարդ գործընթաց է: Առաջարկվում է նոր մեթոդ, որը թույլ է տալիս ավտոմատացնել բազմակարգ զուգահեռ բազմապատկիչների տրամաբանական տարրերի մակարդակով նկարագրությունը: Այն իրականացվել է՝ օգտագործելով Դադդայի և Վալլասի ալգորիթմները: Պարամետրերը գնահատելու համար առաջարկված մեթոդով գեներացված սխեմայի նկարագրությունը սինթեզվել է ՍԱՈՒԴ 14 և 32 նանոչափային տեխնոլոգիաներով: Բազմակարգ զուգահեռ բազմապատկիչների նկարագրումը նպատակահարմար է գեներացնել առաջարկված մեթոդով, քանի որ այն հնարավորություն է տալիս խուսափել ժամանակի կորստից և սխալի հավանականությունից:

Առանցքային բառեր. տրամաբանական տարրեր, տրամաբանական սինթեզ, մասնակի արտադրյալ, փոխանցման կանխորոշմամբ գումարիչ, ավտոմատացում:

Ներածություն: Ժամանակակից թվային համակարգերում գերակշռում են զուգահեռ բազմապատկիչները: Դրանք օգտագործվում են այն դեկավարող հանգույցներում, որտեղ կարևորվում է գործողությունների արագ հաշվարկը: Երբեմն հարկ է լինում նախագծել մեծ կարգայնությամբ զուգահեռ բազմապատկիչներ, որոնք կապահովեն բարձր արդյունավետություն, ինչը բազմապատկիչի նկարագրման տեսակետից խրթին է: Բազմակարգ զուգահեռ բազմապատկիչների արագագործության բարձրացման համար մշակվել են բազմաթիվ եղանակներ, որոնցից առավել տարածված են Վալլասի և Դադդայի [1,2] կողմից առաջարկվածները: Դրանք միմյանց շատ նման են, բացառությամբ, որ Դադդայի բազմապատկիչն ավելի արագագործ է արտադրիչների բարձր կարգայնության դեպքում: Զուգահեռ բազմակարգանի բազմապատկիչների նկարագրումն իրականացվում է տրամաբանական տարրերի մակարդակով, որն էլ ավելի է բարդացնում դրանց նկարագրումը՝ կապված սխեմայի ֆունկցիոնալապես ճշգրիտ նկարագրման և ժամանակի հետ:

Ալգորիթմի նկարագրությունը: Առաջարկվող Վալլասի ավտոմատացումն (ՎԱ) իրականացվում է քայլերի հետևյալ հաջորդականությամբ.

1. Մասնակի արտադրյալի ստացում՝ կիրառելով տրամաբանական «ԵՎ» տարրը՝ արտադրիչներից մեկի յուրաքանչյուր բիթ բազմապատկելով մյուս արտադրիչի բիթերի հետ և դասակարգելով գծերն ըստ քաշերի:

2. Ստացված մասնակի արտադրյալների գումարում՝ օգտագործելով միայն լրիվ գումարիչներ, մինչև որ ստացվեն նույն քաշով երեքից ոչ ավելի գծեր:

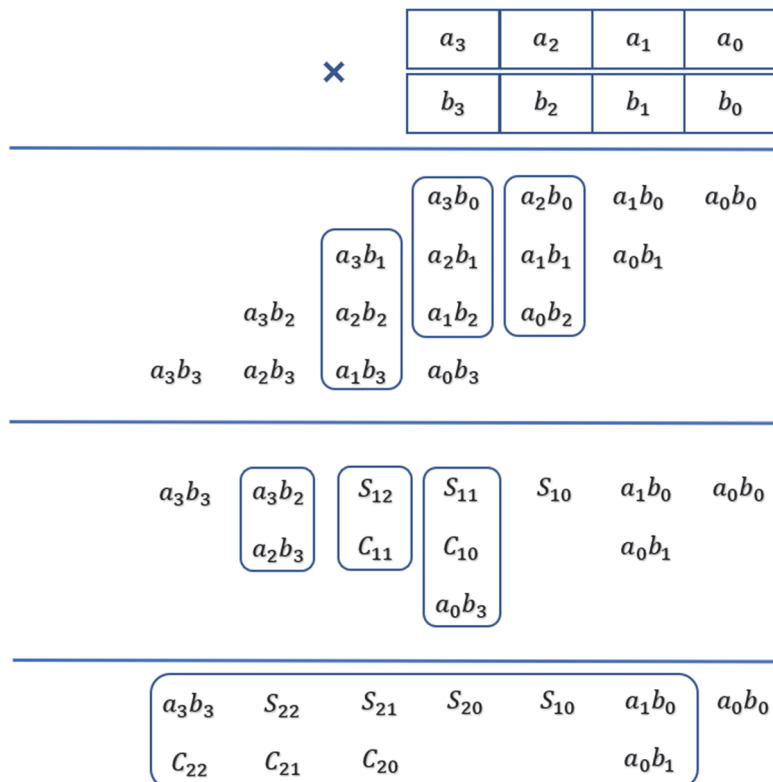
3. Նույն քաշով երկուսից ոչ ավելի գծերի ստացում՝ օգտագործելով լրիվ գումարիչներ և կիսագումարիչներ՝

4. Վերջնական արտադրյալի ստացում՝ օգտագործելով փոխանցման կանխորոշմամբ գումարիչ (ՓԿԳ)[3]:

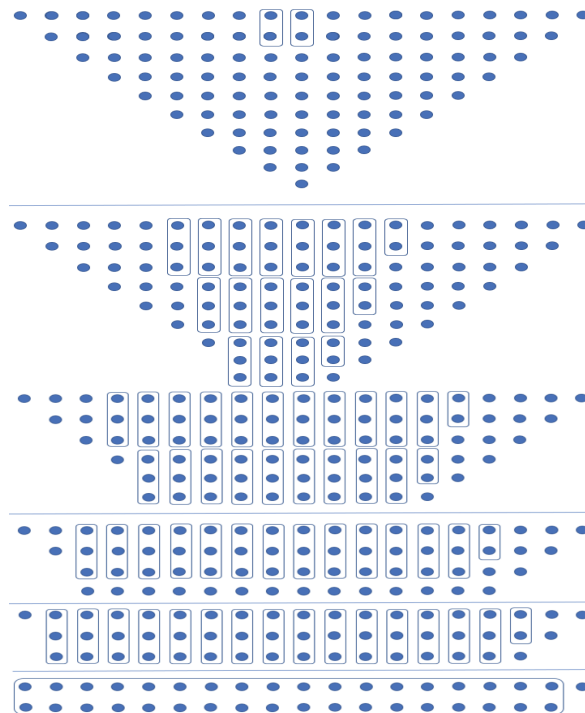
Ի տարբերություն ՎԱ-ի (նկ. 1), Դադդայի ավտոմատացման (ԴԱ) ալգորիթմում (նկ. 2) խտացումը կատարվում է այնպես, որ տվյալ քաշին համապատասխանող գծերի թիվը որոշվի հետևյալ բանաձևով՝

$$d_n = 1.5 * d_{n-1},$$

որտեղ d_{n-1} -ը $\{d_1, d_2, \dots, d_{n-1}, d_n\}$ շարքի նախորդ անդամն է, իսկ $d_1 = 2$:



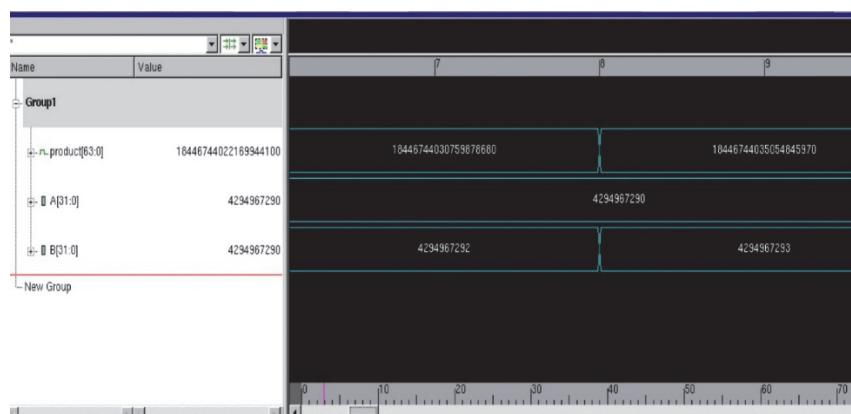
Նկ. 1. Վալլասի ալգորիթմով 4×4 բազմապատկիչը



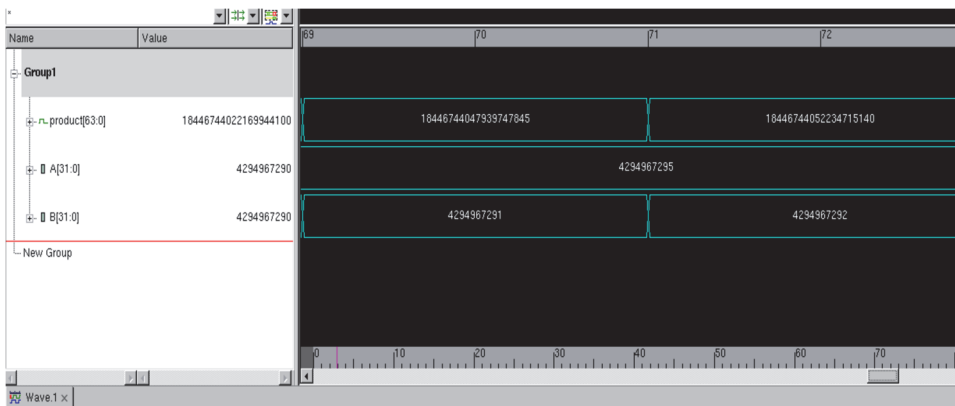
Նկ. 2. Դադդայի ալգորիթմով խտացումը

ՎԱ-ի և ԴԱ-ի ալգորիթմների բարդությունը $O(m \cdot n)$ է, որտեղ m -ը և n -ը նախագծվող բազմապատկիչի մուտքերի կարգայնություններն են ($m > 2$, $n > 2$):

Ստացված արդյունքները: Նկ. 3 և 4-ում ցուցադրված են համապատասխանաբար Վալլասի և Դադդայի ալգորիթմներով գեներացված նկարագրությունների ֆունկցիոնալ մոդելավորումները:

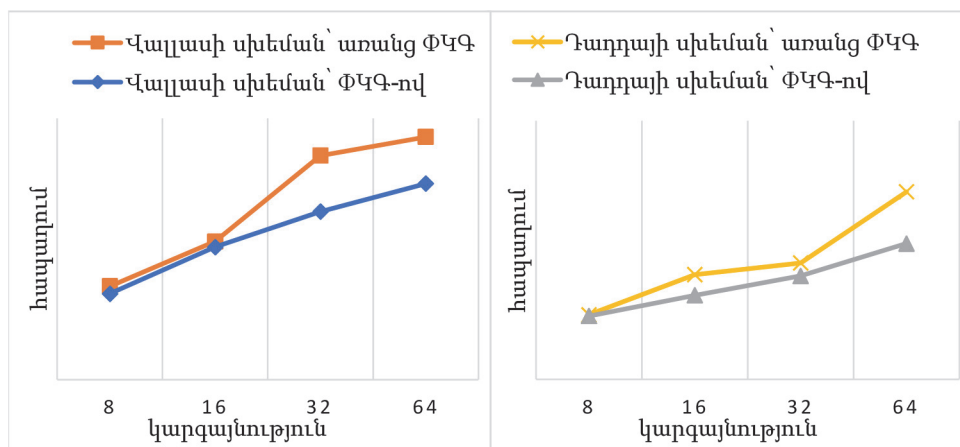


Նկ. 3. 32x32 Վալլասի բազմապատկիչի ֆունկցիոնալ մոդելավորումը

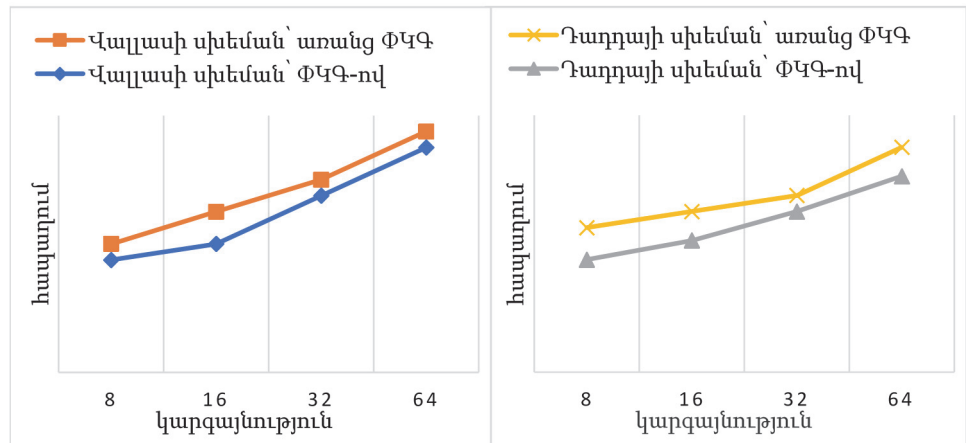


Նկ. 4. 32x32 Դադրայի բազմապատկիչի ֆունկցիոնալ մոդելավորումը

Նկ. 5 - 6-ում պատկերված գրաֆիկները ցույց են տալիս փոխանցման կանխորոշմամբ գումարիչի կիրառման դեպքում տարբեր տեխնոլոգիական գրադարաններով սինթեզված սխեմաների արագագործության բարձրացումը:



Նկ. 5. 32 նմ տեխնոլոգիական գրադարանով սինթեզված սխեմաների մուտքից ելք հապաղումները



Նկ. 6. 14 նմ տեխնոլոգիական գրադարանով սինթեզված սխեմաների մուտքից ելք հապաղումները

Աղ.1-2-ում ցուցադրված են համապատասխանաբար «Սինոփսիս Արմենիա» ուսումնական դեպարտամենտի 14 և 32 նանոչափային գրադարաններով [4,5] սինթեզված սխեմաների պարամետրերը՝ փոխանցման կանխորոշմամբ գումարիչի կիրառման դեպքում:

Աղյուսակ 1

ՄԱՌԻԴ 32 նմ տեխնոլոգիական գրադարանով սինթեզված սխեմայի պարամետրերը

	Կարգայնություն	Ընդհանուր բջիջների թիվ	Կոմբինացիոն բջիջների թիվ	Ընդհանուր բջիջների մակերես	Ընդհանուր մակերես	Փոխանցման հզորություն	Կորստյան հզորություն	Ամբողջ հզորություն
Վալլաս	8	498	448	1186,8	1313.2	31,02	43,7	74,8
	16	1955	1735	4720,21	5272.25	185,4	117,4	302,9
	32	7747	6799	18935,2	23540.9	789,19	444,60	1238,2
	64	31283	27343	79096,4	98205.4	3000,1	1000,8	5000,01
Դադդա	8	424	376	1038,1	1152.7	33,7	26,57	60,9
	16	1949	1729	4830	5377.3	201,14	119,5	320,3
	32	8001	7053	20202,9	22200.2	864,5	493,77	1358,4
	64	30482	26542	77749,2	96049.1	3092,3	1859,1	4951,3

ՄԱՌԴ 14 նմ տեխնոլոգիական գրադարանով սինթեզված սխեմայի պարամետրերը

	Կարգալուծություն	Ընդհանուր բջիջների թիվ	Կոմբինացիոն բջիջների թիվ	Ընդհանուր բջիջների մակերես	Ընդհանուր մակերես	Փոխանջատման հզորություն	Կորստյան հզորություն	Ամբողջ հզորություն
Վալլաս	8	496	448	1186,85	1313,28	43,7	31,02	74,81
	16	1955	1735	4720,21	5272,25	185,4	117,4	302,9
	32	7747	6799	18935,2	22200,2	789,1	444,6	1233,8
	64	31283	27343	79096,2	98205,4	3152,9	1864,2	5017,1
Դադլա	8	471	428	141,7	222,2	40,2	6,8	47,08
	16	2193	1982	1280,9	1280,9	155,7	28,9	184,7
	32	8909	7978	2477,2	4940,3	654,2	117,9	772,2
	64	33418	29511	9094,9	19624,7	2563,6	454	3017,7

Եզրակացություն: Մշակվել է ծրագրային միջոց, որը թույլ է տալիս գեներացնել զուգահեռ բազմակարգ բազմապատկիչներ՝ կիրառելով Վալլասի և Դադլայի ալգորիթմները: Բարձր կարգայնությունների դեպքում նպատակահարմար է օգտագործել Դադլայի ալգորիթմով նկարագրված բազմապատկիչները, քանի որ ավելի արագագործ են և զբաղեցնում են փոքր մակերես: Ավտոմատացումն իրականացվել է Tcl ծրագրավորման լեզվով [6], որը հնարավորություն է տալիս ավելի պարզ նկարագրել և ճկուն աշխատել ծրագրային միջոցներով:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Sumod Abraham, Sukhmeet Kaur, Shivani Singh.** Study of Various High Speed Multipliers // IEEE. – 2015.
2. **Himanshu Bansal, K.G. Sharma, Tripti Sharma.** Wallace Tree Multiplier Designs: A Performance Comparison Review // Innovative Systems Design and Engineering.- 2014.- Vol.5, No.5.
3. **Jia Miao and Shuguo Li.** A Novel Implementation of 4-bit Carry Look-ahead Adder // IEEE.- 2017.
4. **Melikyan V., Martirosyan M., Melikyan A., Piliposyan G.** 14nm Educational Design Kit: Capabilities, Deployment and Future // Small Systems Simulation Symposium. - Niš, Serbia, 12th-14th February, 2018. - P. 37-41.

5. **Goldman, R.** Bartleson, K.; Wood, T. Kranen, K.; Melikyan, V. Babayan, E. 32/28 nm Educational Design Kit: Capabilities, deployment and future // Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia), IEEE.- 2013.
6. **Brent Welch.** Practical Programming in Tcl and Tk.- 1995.

Հայաստանի ազգային պոլիտեխնիկական համալսարան: «Միևուսիս Արմենիա» ուսումնական դեպարտամենտ: Նյութը ներկայացվել է խմբագրություն 03.02.2020:

А.Г. МАНУКЯН, А. А. ГАЛСТЯН, А. М. ДАНИЕЛЯН

ПАРАМЕТРИЗИРОВАННАЯ МОДЕЛЬ МНОГОРАЗРЯДНЫХ КОМБИНАЦИОННЫХ УМНОЖИТЕЛЕЙ

Описание многоразрядных комбинационных умножителей на уровне логических элементов - довольно трудоемкий и сложный процесс. Предлагается новая программа, позволяющая автоматизировать описание многоразрядных комбинационных умножителей на уровне логических элементов. Программа реализована на алгоритмах Дадды и Валласа. Для оценки параметров описание схемы, генерированной предлагаемым методом, синтезировано для технологий САУД 14 нм и САУД 32 нм. С помощью этого метода целесообразно генерировать многоразрядные комбинационные умножители, что позволит избежать потери времени и вероятности ошибки.

Ключевые слова: логические элементы, логический синтез, частичное произведение, сумматор с параллельным переносом, автоматизация.

A.G. MANUKYAN, A.A. GALSTYAN, A.M. DANIELYAN

A PARAMETERIZED MODEL OF MULTI-BIT COMBINATIONAL MULTIPLIERS

The description of multi-bit combinational multipliers is quite a hard and time-consuming process. A new software for automated gate level description of multibit combinational multipliers is proposed. The software is implemented using the Dadda and Wallace algorithms. For the assessment of parameters, the description of the circuit generated by the proposed method was synthesized for the technologies SAED 14 nm and SAED 32 nm. It is advisable to generate multibit combinational multipliers by using this method, as it saves time and eliminates the possibility of an error.

Keywords: logic gates, logic synthesis, partial product, carry look-ahead adder, automation.