

G.A. PETROSYAN

THE RELIABILITY IMPROVEMENT METHOD OF COMPARATORS IN MODERN ANALOG VLSI CIRCUITS

Technology trends like Artificial Intelligence and autonomous driving leads to a need for lots of analog components of integrated circuits to connect to the physical world. The design and verification of these analog parts take a lot of effort on the overall process. Modern integrated circuits are widely used in the systems where functional or reliability issues may result in unrecoverable consequences. This forces IC designers to extend the verification coverage to detect problems at the design and verification stage instead of silicon, PCB or application testing phase. The realization of those extended verification requires a correctly defined process, voltage and temperature conditions based on which SPICE functional simulations, electromigration, IR drop, ageing, overvoltage and Monte Carlo verifications should be performed.

The impact of technology deviation on analog comparators has been analyzed in this paper and a solution has been proposed which solves the offset problem in comparators used in high-speed transceivers: 250 mV offset caused by the technology deviations in ± 3 sigma range reduced to 25 mV.

Keywords: analog, very large scale integration (VLSI), integrated circuits (IC), reliability, comparator.

Introduction. Integrated circuits (IC) are widespread in modern vehicles, aircraft, army or space [1]. The costs of such systems are very high, therefore there are hard requirements for their reliabilities [2]. Those requirements stand more critical in analog, highly sensitive parts where compared to the digital circuits, analog values of processing signals play key roles. To connect those signals with digital processors, analog-to-digital converters (ADC) are used. The main component of ADC is the analog comparator [3], that is why the correct conversion without loss of information mainly depends on the characteristics of this circuit: sensitivity, offset, input signal swing, etc. It is known that the CMOS manufacturing process is not ideal which results in deviations of the transistor parameters like channel length, width, doping concentration, etc. [4,5]. Such uncertainties cause post manufacturing deviations of transistors' characteristics such as threshold voltage, transconductance, channel length modulation, etc. That is why, the CMOS fabrication process has become the main impact factor of the accurate operation of analog comparators.

Two main types of comparator structures are widely used in analog circuits: clocked and operational amplifier OpAmp-based [6,7]. Operational amplifier-based

comparators are essential in such ICs where the existence of clock signal may cause a big noise and harm the functionality of those analog sensitive parts. The structure of the OpAmp-based comparator is presented in Fig.1.

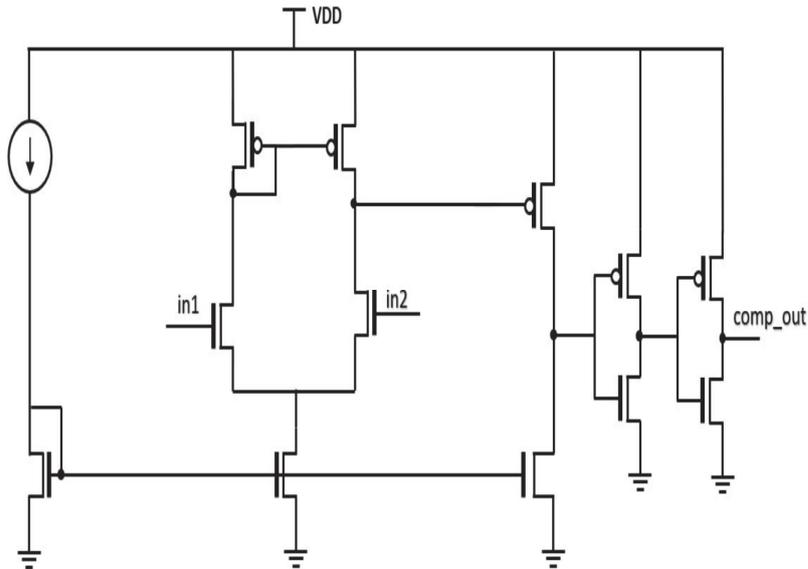


Fig. 1. An OpAmp-based comparator circuit

This circuit consists of a differential amplifier with symmetrical branches, the second stage consists of the common source amplifier and the output buffers which are amplifying the output signal of the common source stage up to CMOS levels. In such structures the two branches of differential pair should be identical to minimize the offset and other problems related to the reliabilities like ageing.

Considering the accuracy requirements, the costs of the systems where such circuits play key roles, and the CMOS fabrication problems described above, the complete verification has been performed.

Problem description. This comparator circuit has been designed by SAED14 nm FinFet technology [8], and HSPICE simulations have been performed. Since the branches of differential pair are symmetric it is expected to get low offset values between the output stages. As shown in Fig.2, the offset between those branches is 20 uV while tying inputs together.



Fig. 2. Comparator offset in typical conditions

To check the circuit robustness, the process deviation impact should be considered. The implementation of such verification is done by Monte Carlo Spice simulation. As shown in Fig.3 and in Table 1, the offset value achieves up to 250 mV in the 3 sigma deviation range.

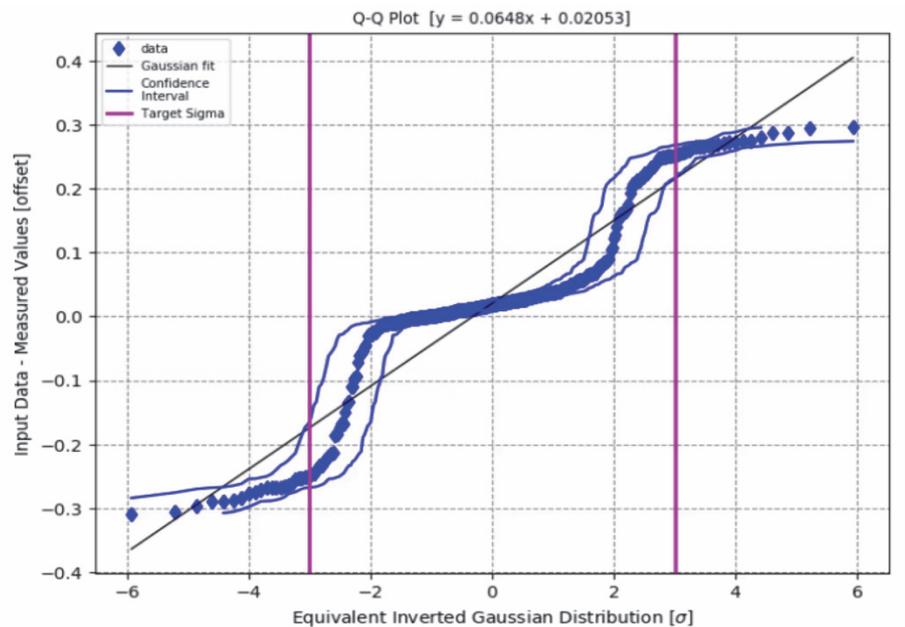


Fig. 3. MC variation for offset

Table 1

Comparator offset in ± 3 sigma range

	Offset (mV)
-3 sigma	-249
+3 sigma	252

Such behavior results in unpredictable output switching and incorrect data conversion. So, a new schematic solution has been proposed to improve the post-manufacturing offset degradation.

The reason for such a big detected offset is the transistors' dimensions' variation after CMOS IC fabrication. As a result, applying the same voltage on the input NMOS devices, different currents flow through the differential pair branches.

The proposed solution. The circuit modification was done to solve the problem. As shown in Fig.4, the digitally controlled load has been added into the differential pair branch. Control bits are equal to 6. Currents flowing through each next branch increase twice corresponding to the digital code.

In addition, the diode-connected PMOS device should be bigger than the mirroring PMOS device, which will cause a current mismatch between the two branches of the differential pair. And ideally, the calibration block should compensate the current difference by using the middle code.

The operation algorithm is as follows:

1. The common mode voltage should be applied to the inputs of comparator.
2. The output voltage of the comparator should be sampled and converted to the digital code by the precision ADC which, in general, exist inside or outside the IC.
3. The voltage on the diode-connected transistor gate should be sampled and converted to the digital code.
4. If the difference is higher than 3, the load tied to the output should be enabled.
5. The code should be increased by the SAR algorithm to find the case when the difference between the ADC outputs is less than 3.

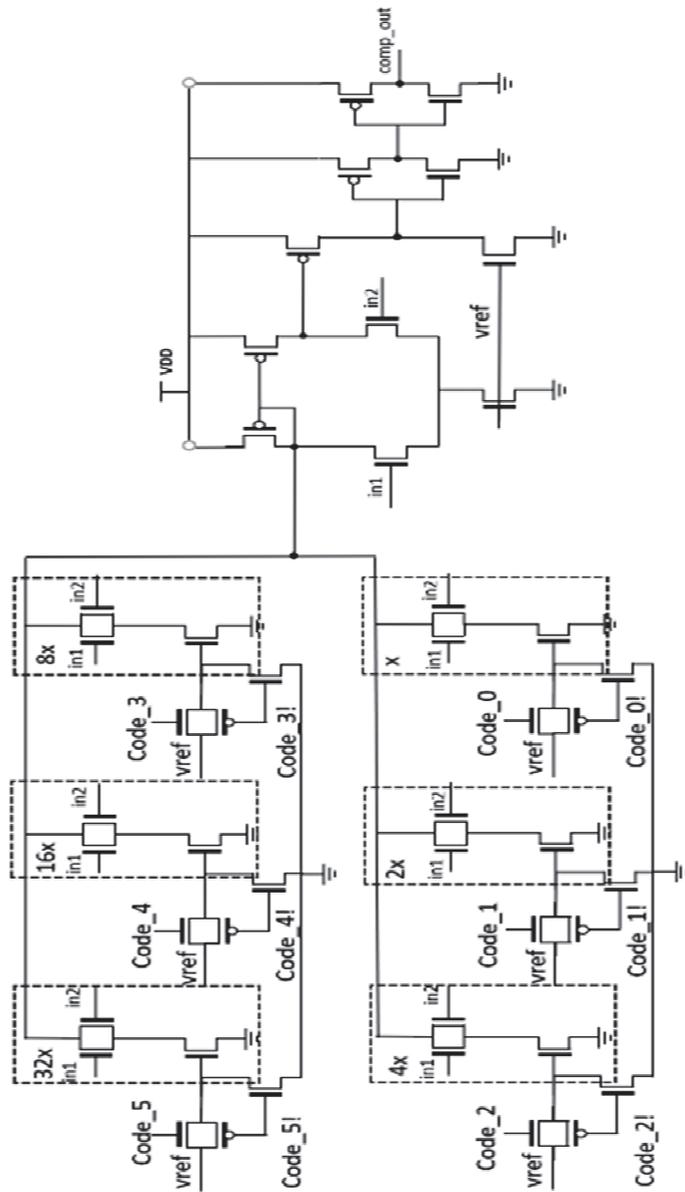


Fig 4. A comparator circuit with calibration block

Results. In the first step of the method verification, HSPICE simulation was carried out without considering the transistors' dimensions' variation. The calibration process and results are presented in Fig.5 and Table 2.



Fig. 5. Calibration

Table 2

The calibration code and the offset value by using a digitally controlled calibration block

Offset (mV)	1
Calibration Code	28

The achieved results have shown that the offset is negligible when using a calibration block, and the calibration code is well-centralized.

To evaluate the method impact on the offset minimization, SPICE MC simulation was performed.

According to the results presented in Fig.6 and Fig.7, and in Table 3, the offset variation has been reduced about 10 times in 3 sigma interval which proved the method efficiency. Also, the calibration code did not saturate which means that calibration did not fail, and the bit resolution is acceptable.

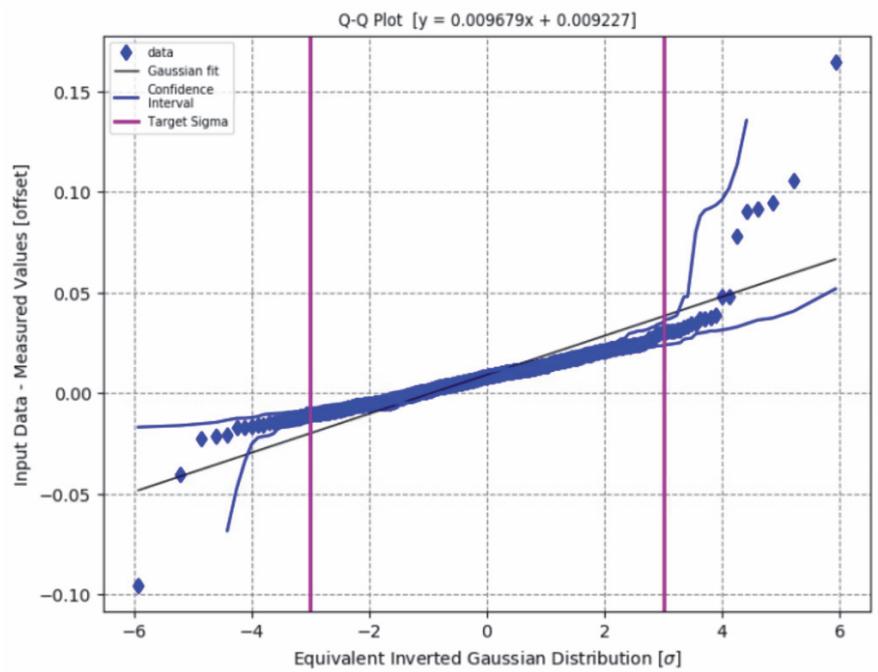


Fig. 6. MC simulation results for the offset

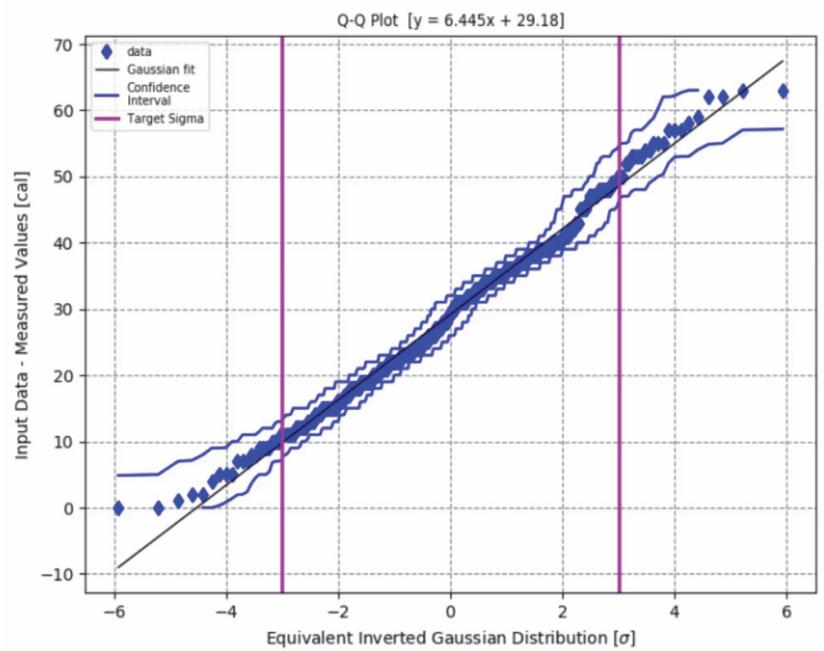


Fig. 7. MC simulation results for the calibration code

Table 3

MC results with proposes method

	Offset (mV)
-3 sigma	-20
+3 sigma	30

Conclusion. An OpAmp-based comparator circuit has been designed with the SAED14 nm FinFet technology. A huge offset variation with MC simulation was observed.

An architecture update has been proposed to reduce the offset variation. According to the results, the offset variation was reduced about 10 times.

The SAED14 nm FinFet technology libraries have been used during the HSPICE simulations, outputs have been exported by Galaxy Custom Designer tool.

REFERENCES

1. **Deutschmann, B., Magrini, F., & Klotz, F.** Internal IC protection structures in relation to new automotive transient requirements // In 2011 8th Workshop on Electromagnetic Compatibility of Integrated Circuits. – November, 2011. – P. 47-52.
2. **Sridhar Srinivasan, Matthew Hogan.** Physics to Tapeout: The Challenge of Scaling Reliability Verification// IEEE International Reliability Physics Symposium (IRPS). - 2019. – P. 169-174.
3. A Self-Biased Current-Mode Amplifier With an Application to 10-bit Pipeline ADC / **Seungnam Choi, Yunjae Suh, Joohyun Lee, et al** // IEEE Transactions on Circuits and Systems I: Regular Papers. – 2017. - Vol. 64, No. 7. - P. 1706-1717.
4. Statistical variability and reliability in nanoscale FinFETs / **X. Wang, et al** // IEDM Tech. Dig. - 2011.- P. 103-106.
5. Variation-Aware Design of Custom Integrated Circuits/ **T. McConaghy, et al.**- A Hands-on Field Guide, Springer, 2013.
6. **Razavi B.** Design of Analog CMOS Integrated Circuits. 2nd edition. - Mc Graw Hill, India, 2017. – 384p.
7. **Baker R.J.** CMOS Circuit Design, Layout and Simulation. 3rd edition. - John Wiley & Sons, 2010.
8. **Melikyan V., Martirosyan M., Piliposyan G.** 14 nm Educational Design Kit: Capabilities, Deployment and Future// Small Systems Simulation Symposium. – 2018. – P. 37-41.

Yerevan State University. The material is received on 10.12.2020.

Գ.Ա. ՊԵՏՐՈՍՅԱՆ

ՀԱՄԵՍԱՏԻՉՆԵՐԻ ՀՈՒՍԱԼԻՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԵԹՈԴԸ ԺԱՄԱՆԱԿԱԿԻՑ ԱՆԱԼՈԳԱՅԻՆ ԳԵՐՄԵԾ ԻՆՏԵԳՐԱԼ ՄԻԵՄԱՆԵՐՈՒՄ

Տեխնոլոգիական զարգացման ուղղությունները, ինչպիսիք են արհեստական բանականությունը և ինքնավար երթնեկումը, անհրաժեշտություն են առաջացնում՝ ընդգրկելու ինտեգրալ սխեմաների (ԻՍ) մեծ թվով անալոգային կոմպոնենտներ ֆիզիկական աշխարհում: Անալոգային մասի նախագծումը և ստուգումը նշանակալի տեղ է զբաղեցնում ընդհանուր սխեմայի նախագծման գործընթացում: Ժամանակակից ինտեգրալ սխեմաները լայնորեն կիրառվում են համակարգերում, որտեղ ֆունկցիոնալ կամ հուսալիության հետ կապված խնդիրները կարող են հանգեցնել անուղղելի հետևանքների: Սա ստիպում է ԻՍ նախագծողներին ընդլայնել ստուգումների տիրույթը՝ խնդիրները հայտնաբերելու ոչ թե արտադրված սխեմայում, տպասալում կամ ԻՍ-ն կիրառելիս, այլ նախագծման և ստուգումների փուլում: Այդպիսի ընդլայնված ստուգումների իրականացումը պահանջում է ճիշտ սահմանված տեխնոլոգիական գործընթաց, լարում և ջերմաստիճան, որոնց հիման վրա էլ կիրականացվեն SPICE ֆունկցիոնալ նմանարկում, էլեկտրամիգրացիայի, սնման դողերի վրա լարման անկման, ծերացման, գերլարման և ՄոնտեԿառլո ստուգումները:

Ուսումնասիրվել է տեխնոլոգիական շեղումների ազդեցությունն անալոգային համեմատիչների վրա: Առաջարկվել է մեթոդ, որը լուծում է գերարագ հաղորդիչ սխեմաներում կիրառվող համեմատիչներում ի հայտ եկող շեղման լարման խնդիրը ± 3 սիգմայի տիրույթում. տեխնոլոգիական շեղումների արդյունքում առաջացած 250 մՎ շեղման լարումը նվազել է մինչև 25 մՎ:

Առանցքային բառեր. անալոգային, գերմեծ ինտեգրալ սխեմա (ԳՄԻՍ), ինտեգրալ սխեմա (ԻՍ), համեմատիչ, հուսալիություն:

Г.А. ПЕТРОСЯН

**МЕТОД ПОВЫШЕНИЯ НАДЕЖНОСТИ КОМПАРАТОРОВ В
СОВРЕМЕННЫХ АНАЛОГОВЫХ СВЕРХБОЛЬШИХ
ИНТЕГРАЛЬНЫХ СХЕМАХ**

Технологические тенденции, такие как искусственный интеллект и беспилотное вождение, вызывают необходимость подключения большого количества аналоговых компонентов интегральных схем (ИС) к физическому миру. Разработка и проверка данных аналоговых компонентов занимают значительную часть процесса разработки всей схемы. Современные ИС широко используются в системах, где функциональные проблемы или проблемы с надежностью могут привести к неустраняемым последствиям. Это вынуждает разработчиков ИС расширить охват проверки для обнаружения проблем на этапе проектирования и проверки, а не на этапе тестирования готового кремниевого изделия, печатной платы или на этапе применения ИС. Реализация расширенной проверки требует правильно установленных условий процесса, значений напряжения и температуры, на основе которых должны выполняться функциональное моделирование SPICE, электромиграция, падение напряжения, старение, перенапряжение и проверки Монте-Карло.

Проанализировано влияние технологического отклонения на аналоговые компараторы. Предложено решение, которое разрешило проблему смещения в компараторах, используемых в высокоскоростных передатчиках: смещение 250 мВ , вызванное технологическими отклонениями в диапазоне ± 3 сигма, уменьшено до 25 мВ .

Ключевые слова: аналоговый, сверхбольшие интегральные схемы (СБИС), интегральная схема (ИС), компаратор, надежность.