

УКЛАДКИ ГРАФОВ НА ПРЯМОУГОЛЬНЫХ РЕШЕТКАХ

Обзорная статья посвящена проблеме укладки графов на прямоугольные решетки с минимизацией используемой площади. Методика укладки отдельных классов графов, удовлетворяющих разделительным теоремам, на основе декомпозиционного подхода «разделяй и властвуй», балансировки и рекурсии позволяет достигать асимптотически оптимальных решений для задач достаточно больших размерностей. Рассматриваемые исследования непосредственно связаны с проблемами автоматизации проектирования Больших и Сверхбольших интегральных схем (БИС и СБИС). В нашей стране эти вопросы, например, освещались в монографиях и статьях [1—4]. Автор пытался в первую очередь изложить результаты, в основном, из малодоступных зарубежных отчетов и диссертаций*, поэтому большое число отечественных публикаций по рассматриваемой проблеме в обзор не включено. Необходимо также отметить, что автор не стремился приводить в статье все известные теоретические сведения с тем, чтобы максимально заинтересовать специалистов в области систем автоматизации проектирования (САПР) интегральных схем в этом, несомненно, актуальном направлении. Как показывает практика [5], число исследований, направленных на творческое обоснование качества получаемых решений в задачах проектирования пока невелико.

§ 1. ВВЕДЕНИЕ. ЗАДАЧИ УКЛАДКИ В АВТОМАТИЗАЦИИ ПРОЕКТИРОВАНИЯ ЭЛЕКТРОННЫХ СХЕМ

На основе БИС и СБИС возможно построение технических средств—микропроцессов, специализированных на выполнение конкретных алгоритмов: древесные машины для реализации процедуры поиска, сортировки и вычисления выражений; процессоры для реализации численных методов, для решения задач на графах и т. д. [6, 7]. БИС и СБИС дают возможность организовывать так называемые неконкурентные вычисления, что позволит создавать в будущем системы с миллионами одновременно работающих вычислительных элементов [8].

* В 1981/82 гг. автор был на научной стажировке в Мичиганском университете (г. Энн Арбор, США).

В материалах конференций по автоматизации проектирования интегральных схем последних лет часто можно встретить публикации с интригующими заглавиями: «Могут ли средства проектирования удовлетворить нужды производства в 80-е годы?», «СБИС—вызов проектированию», «Что мы делаем правильно, неправильно, и что мы не делаем вовсе», «Могут ли наши «мосты» выдержать груз СБИС» и т. д. Эти публикации связаны с наметившимся разрывом между существующими возможностями средств проектирования и высокоразвитой технологией производства интегральных схем. Как отмечают специалисты Калифорнийского технологического института (г. Пасадена) [9], производство позволяет выпускать схемы со 100 000 элементами, в то время как существующие в настоящее время автоматизированные системы требуют для выполнения проектирования такой платы примерно 60 человеко-лет. Доказано, что теоретически на плате можно разместить около 10 000 000 элементов, тогда для ее проектирования с помощью современных систем потребуется около 6000 человеко-лет. В то время, как технология увеличивала сложность выпускаемых плат (число транзисторов) с коэффициентом 4, ежегодно методы и системы проектирования практически не изменялись в течении 7 последних лет [10]. Поэтому главной проблемой этой области в 80-х годах является разработка новой методологии проектирования с тем, чтобы удовлетворить нужды быстроразвивающейся полупроводниковой технологии, обеспечить сокращение потребляемых ресурсов и времени проектирования СБИС.

Наиболее активно исследования в области теории и практики САПР интегральных схем и печатных плат проводятся в следующих университетах и фирмах США: Carnegie-Mellon University, Department of Electrical Engineering (Pittsburg); Massachusetts Institute of Technology, Department of Electrical Engineering and Computer Science; Stanford University, Center for Integrated Systems (Stanford); University of California, Department of Electrical Engineering and Computer Science (Berkeley); California Institute of Technology, Computer Science Department (Pasadena); Sandia National Laboratories, Integrated Circuit Design (Albuquerque); Hughes Aircraft Company; Motorola Incorporated; Rockwell International Corporation; Texas Instruments Incorporated.

Одним из наиболее трудоемких этапов конструкторского проектирования СБИС является проблема укладки. Формально она может рассматриваться как комбинаторная задача оптимального назначения взаимосвязанных элементов по определенным позициям на заданной области [11]. Более точное определение понятий «взаимосвязь» и «заданная область» зависит от рассматриваемого уровня иерархии (нижний уровень—размещение модулей, следующий уровень—размещение типовых элементов замены (ТЭЗ) и т. д.) и типа применяемой технологии. Для определенности в данной работе будет рассматриваться размещение модулей на плате ТЭЗ. На практике требуемое размеще-

ние должно удовлетворять нескольким часто конфликтующим критериям [12]:

- а) минимизации числа пересечений проводников;
- б) минимизации числа коллинеарных (прямых поворотов) связей;
- в) минимизации суммарной длины проводников;
- г) минимизации площади, занятой схемой, и т. д.

Перечисленные условия приводят к тому, что продуктивность различных применяемых на практике техник укладки колеблется между 5 и 10 элементами на одного проектировщика в день (включая размещение элемента, проверку и исправление).

Теоретические проблемы, возникающие в области укладки БИС и СБИС (LAYOUT OF VERY LARGE SCALE INTEGRATED CIRCUITS); привлекают внимание большого числа специалистов в области комбинаторных алгоритмов, оптимизации, теории сложности [12, 13]. Частично этот интерес можно объяснить возможностью применения асимптотического анализа к решению задач СБИС (число элементов схемы может достигать 10^8). Кроме этого, для оценки качества схемы может быть использована единая математическая мера—площадь, занятая укладкой схемы. Величина площади укладки одновременно выражает стоимость передачи информации (это площадь, занятая проводниками) и стоимость выполнения операций (площадь, занятая элементами).

§ 2. МОДЕЛИ ИНТЕГРАЛЬНЫХ СХЕМ В ЗАДАЧАХ УКЛАДКИ

Для представления интегральных схем в задачах укладки обычно используются два типа моделей: геометрические модели или графы [14—18].

В моделях первого типа элементы схемы представляются прямоугольниками с заданными размерами, проводники—отрезками ломаных линий. Такой подход приводит к разбиению проблемы укладки на две подзадачи:

а) задачу размещения (PLACEMENT OF VLSI CIRCUITS), заключающуюся в таком размещении системы прямоугольников, которое обеспечивает минимум занимаемой площади;

б) задачу трассировки (ROUTING OF VLSI CIRCUITS), предполагающую по заданному списку пар контактов на каждом прямоугольнике, которые надо соединить, определение путей проведения проводников с соблюдением технических условий и оптимизацией заданных параметров.

Использование прямоугольников позволяет лучше моделировать физические размеры элементов схемы. С другой стороны, даже оптимальное решение задачи размещения часто приводит к невозможности решить задачу трассировки. На практике применяют подход, когда результат выполнения стадии размещения оценивается с точки зрения возможности и качества выполнения трассировки. В результате получаются разновидности задачи размещения с различными целевыми функциями [19—24]. В отношении практической реализации такого подхода можно сделать следующие выводы:

1) Ни одна из практических техник, использующих модели-прямоугольники, не оптимизирует полностью стадии размещения и трассировки или даже просто не гарантирует возможность выполнения трассировки;

2) Вмешательство человека обычно необходимо для выполнения окончательной трассировки;

3) Расчеты, оценки и различные проверки лучше выполняет ЭВМ, чем специалисты-проектировщики.

Если же касаться теоретической сложности задач размещения и трассировки, то обе они для различных критериев оптимизации являются NP-трудными [11, 12, 14, 15], при этом эффективное приближенное решение одной из них оставляет NP-трудной другую задачу.

Использование графов, как моделей схем, позволяет выполнять размещение и трассировку одновременно, как единую процедуру. В этом случае элемент схемы представляется вершиной графа, а проводник—ребром. В данной работе рассматриваются модели схем в виде графов, при этом основная анализируемая проблема неформально может быть изложена следующим образом: задан граф, уложить его на плоскости так, чтобы эффективно использовалась площадь содержащего укладку прямоугольника. Проиллюстрировать нетривиальность проблемы можно на примере укладки полного бинарного дерева [18].

На рис. 1 изображена тривиальная укладка полного бинарного дерева с $n=2^k-1$ вершинами, где $k \geq 1$, требующая $O(n \log n)$ единиц площади. Действительно, наименьший по площади прямоугольник, содержащий укладку, имеет стороны длины $O(n)$ и $O(\log n)$. Просматривая укладку от листьев к корню, можно заметить, что число ребер при

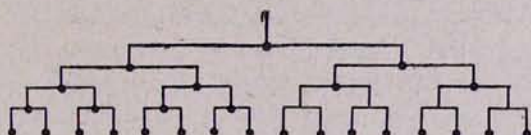


Рис. 1

переходе на следующий уровень уменьшается в два раза, вместе с тем длина ребер удваивается по сравнению с предыдущим уровнем. Таким образом, суммарная длина ребер на каждом уровне одинаковая. Рекуррентное уравнение, описывающее площадь укладки $A(n)$ имеет следующий вид:

$$A(n) = \begin{cases} 1, & \text{при } n=1 \\ 2 \cdot A\left(\left\lfloor \frac{n}{2} \right\rfloor\right) + \frac{n}{2}, & \text{при } n=2^k-1, \text{ где } k \geq 1. \end{cases}$$

Другой способ укладки (рис. 2) с помощью так называемого дерева [25] требует только $O(n)$ единиц площади. В этой укладке число ребер также уменьшается в два раза при переходе на любой следующий

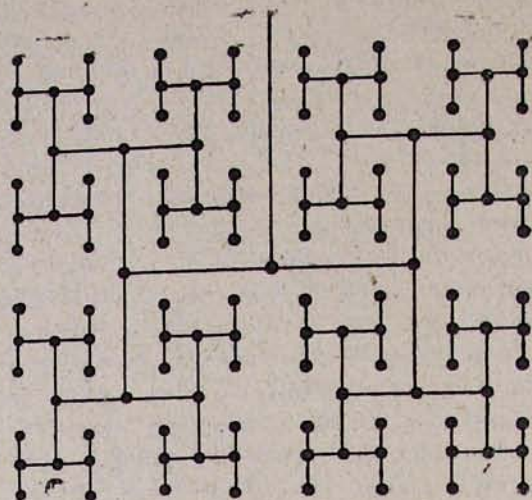


Рис. 2

уровень, однако суммарная длина ребер удваивается только через уровень. Площадь укладки описывается следующим рекуррентным уравнением:

$$A(n) = \begin{cases} 1, & \text{при } n=1 \\ 4 \cdot A\left(\left\lfloor \frac{n}{4} \right\rfloor\right) + 4 \cdot \sqrt{A\left(\left\lfloor \frac{n}{4} \right\rfloor\right)} + 1, & \text{при } n=2 \cdot 4^k - 1, \text{ где } k > 1 \end{cases}$$

Строго формализованная модель СБИС в терминах графов и постановка проблемы укладки схем была разработана Томпсоном [17]. В качестве модели СБИС предлагается рассматривать неориентированный граф $G(V, E)$ со степенями вершин не больше 4. Графы с большими степенями могут быть сведены к указанной модели с помощью простого преобразования (рис. 3).

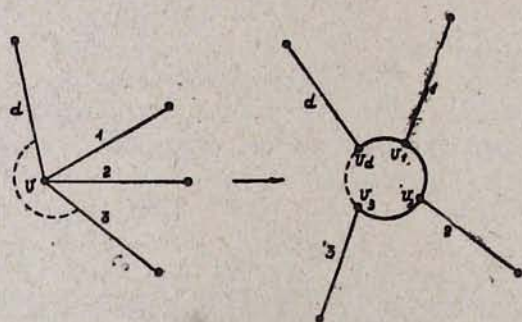


Рис. 3

Пусть на плоскости задана Декартова система координат, определяющая прямоугольную решетку, узлы которой соответствуют точкам с целочисленными координатами, а ребра—вертикальным и горизон-

тальным отрезкам между соседними точками. Ясно, что на решетки можно перенести основную терминологию теории графов [26].

В терминах модели Томпсона [17] элементы схемы (вершины графа) располагаются в узлах решетки, проводники же, соединяющие пары элементов,—на простых цепях решетки. Два проводника могут пересекаться только в узлах решетки (т. е. они не могут иметь общих участков ненулевой длины). Дополнительно проводники не могут проходить (имеются в виду их неконцевые участки) по узлам решетки, в которых размещены элементы схемы. После сделанных замечаний можно дать строгую постановку задачи.

Задача планарной укладки графа $G(V, E)$ заключается в построении его гомоморфного образа-графа $G_1(V_1, E_1)$ на решетке тако-го, что V взаимно однозначно отображается на V_1 , E однозначно отображается на простые цепи графа G_1 , при этом любая пара таких цепей может пересекаться лишь в концевых вершинах.

Непланарная укладка графа допускает пересечение простых цепей решетки, занятых ребрами укладываемого графа, в любых вершинах.

Большое число публикаций посвящено укладкам графов на прямоугольные решетки с различными критериями оптимизации: а) минимизации суммарной взвешенной длины проводника [11, 27]; б) минимизации числа пересечений проводников [15]. Каждая из этих задач связана с особенностями конкретных технологий производства интегральных схем, которые, впрочем, не снижают сложности соответствующих задач. Так, частным случаем задачи а) является NP-трудная квадратичная задача о назначении [28], а к задаче б) сводится NP-полная задача «Разбиение графа на подграфы одинаковой размерности» [29].

В данном обзоре рассматриваются задачи планарной и непланарной укладки графов с минимизацией требуемой площади решетки. Необходимо отметить, что при укладке графов с минимизацией площади, используются два понятия площади, занятой укладкой.

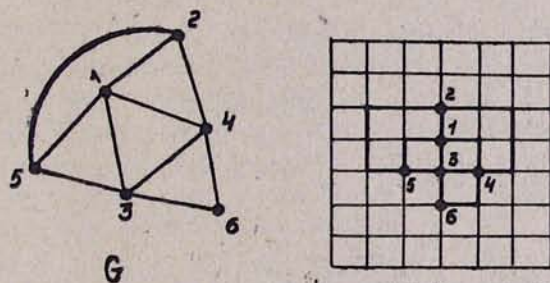


Рис. 4

В работах, посвященных получению верхних оценок требуемой площади, оперируют наименьшей площадью прямоугольника, содержащего укладку. Для получения нижних оценок площадей в качестве критерия берется величина, равная числу квадратов решетки, занятой вершинами и ребрами графа. Так, на рис. 4 приведена планарная ук-

ладка графа G , у которой площадь обрамляющего прямоугольника равна 12, в то же время, число квадратов, занятых укладкой, равно 9.

Полного исследования сложности задач планарной и непланарной укладки графов не проводилось. В частности доказано, что задача распознавания свойств «Минимальная по площади планарная укладка леса» является NP-полной [30]. Доказательство было проведено путем сведения NP-полной задачи 3-разбиение [28] к рассматриваемой. Таким образом, планарная укладка любых других более сложных классов планарных графов с минимизацией площади будет NP-полной.

В отношении эвристических алгоритмов [1, 2, 11, 31], разработанных для решения задач укладки, можно сделать замечание, что ни один из них не позволяет оценивать качество найденного решения. Нельзя предсказать, насколько найденное приближенное решение отличается от существующего оптимального. Поэтому актуальными представляются исследования последних лет, направленные на получение оценок (нижних и верхних) требуемой для укладки площади, разработки приближенных алгоритмов, дающих близкие к оптимальным решения. Эти исследования в значительной мере опираются на материал монографий [28, 32]. Первая из них содержит богатый теоретический материал по оценке приближенных решений NP-трудных задач. Вторая монография (первоначально предназначавшаяся для специалистов-проектировщиков БИС) содержит компактное изложение практических приемов, используемых в разработках современных эффективных алгоритмов.

Методика алгоритмов планарной и непланарной укладки графов на прямоугольные решетки предусматривает [18, 30]: 1) декомпозицию проблемы на основе принципа «разделяй и властвуй», балансировки (см. терминологию книги [32]) и разделительных теорем для графов; 2) рекурсивное решение полученных проблем; 3) так называемая «женитьба» подпроблем, т. е. проведение ранее удаленных на этапе 1) ребер.

Последующий материал организован следующим образом. В § 3 приведены теоретические сведения по разделительным теоремам, доказанным для отдельных классов графов, § 4 посвящен непланарным укладкам графов, в § 5 изложены результаты по планарным укладкам, в § 6 кратко сформулированы перспективы и трудности использования описанного подхода.

§ 3. РАЗДЕЛИТЕЛЬНЫЕ ТЕОРЕМЫ ДЛЯ КЛАССОВ ГРАФОВ

Оригинальные результаты Липтона и Тарьяна [33] по разделителям в графах касались удаления вершин. Здесь же приводятся определения и утверждения [18], переформулирующие эти результаты в терминах удаления ребер. Оба подхода в данном случае будут эквивалентными по сложности, поскольку здесь рассматриваются графы с ограниченными (не больше 4) степенями.

Определение 1. Пусть S — класс графов полный относительно понятия „подграф“, т. е. если $G \in S$ и G' является подграфом G , то $G' \in S$. Тогда $f(n)$ -разделительной теоремой для класса S является следующее утверждение.

Пусть G есть n -вершинный граф из класса S , тогда существуют такие константы z_s и c_s , где $0 < z_s \leq 1/2$ и $c_s > 0$, что удалением не более $c_s \cdot f(n)$ ребер граф G может быть разбит на два непересекающихся подграфа G_1 и G_2 , имеющих $z \cdot n$ и $(1-z) \cdot n$ вершин соответственно, где $z_s \leq z \leq 1-z_s$.

Необходимо отметить, что на наличие разделителей активно исследовались те классы графов, которые важны для практических применений, например, для моделирования специальных интегральных схем, организации параллельных вычислений и т. д. Действительно, существование эффективно выявляемого разделителя позволяет декомпозировать задачу и построить «быстрый» рекурсивный алгоритм ее решения. В остальной части этого параграфа даются определения и приводятся разделительные теоремы для важных в прикладном плане классов графов. Другие результаты по разделителям в графах можно найти в работах [33—36], диссертация [37] посвящена вопросам применения разделительных теорем при решении систем линейных уравнений.

Утверждение 1 [38]. Класс деревьев удовлетворяет 1-разделительной теореме.

Определение 2. k -мерной решеткой называется граф, вершинами которого являются точки с целочисленными координатами, расположенными в кубической области k -мерного пространства, а ребра графа соединяют все соседние точки.

Утверждение 2 [33]. Класс k -мерных решеток с n вершинами удовлетворяет $n^{1-1/k}$ -разделительной теореме.

Определение 3. Внешнепланарным графом называется граф, который может быть уложен на плоскости так, что все его вершины будут сосредоточены на границе внешней области.

Класс внешнепланарных графов по своей сложности расположен между классом деревьев и классом планарных графов.

Утверждение 3 [18]. Для класса внешнепланарных графов с n вершинами справедлива 1-разделительная теорема.

Утверждение 4 [33]. Для класса планарных графов с n вершинами справедлива $\sqrt{n}$ -разделительная теорема.

Определение 4. Граф кубично-связных циклов с $n = k \cdot 2^k$ вершинами есть k -мерный гиперкуб, у которого каждый угол заменен циклом с k вершинами (рис. 5).

Утверждение 5 [39]. Для класса графов кубично-связных циклов с $n = k \cdot 2^k$ вершинами справедлива $n/\log n$ -разделительная теорема.

Определение 5 [10]. Перестановочно-обменный граф имеет $n = 2^k$ вершин и $3n/2$ ребер. Каждой вершине приписана однозначно определенная k -битовая бинарная строка $a_{k-1} \dots a_0$. Две вершины ω и ω' соединены „перестановочным“ ребром, если ω' есть левая или

правая циклическая перестановка ω (т. е. если $\omega = a_{k-1} \dots a_0$ и $\omega' = a_{k-2} \dots a_0 a_{k-1}$ или $\omega' = a_0 a_{k-1} \dots a_1$). Две вершины ω и ω' соединены „обменным“ ребром, если ω и ω' различаются только последними битами (т. е. если $\omega = a_{k-1} \dots a_1 0$ и $\omega' = a_{k-1} \dots a_1 1$ или наоборот).

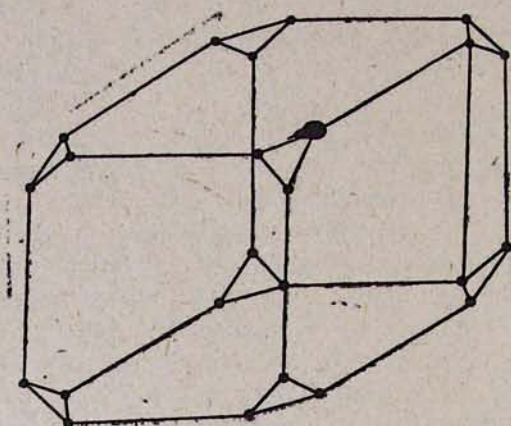


Рис. 5. Граф кубично-связанных циклов с $n = 3 \cdot 2^3 = 24$ вершинами

На рис. 6 и 7 изображены два перестановочно-обменных графа с 8 и 16 вершинами соответственно.

Перестановочно-обменные графы (SHUFFLE-EXCHANGE GRAPH) как удобные структуры в параллельных вычислениях используются для организации выполнения дискретного преобразования Фурье, перемножения матриц, вычисления значений полиномов, получения перестановок и сортировки списков.

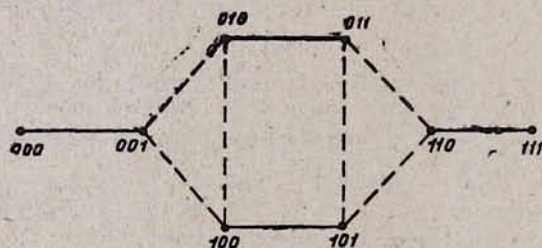


Рис. 6. Непрерывными линиями изображены обменные ребра, прерывистыми—перестановочные ребра, петли не показаны

Утверждение 6. [41]. Класс перестановочно-обменных графов с $n = 2^k$ вершинами удовлетворяет $n/\log n$ -разделительной теореме.

Определение 6 [42]. X -деревом называется полное бинарное дерево с $n = 2^k - 1$ вершинами, в котором дополнительно проведены ребра между соседними вершинами каждого уровня (рис. 8).

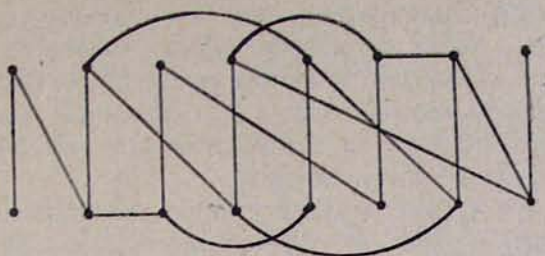


Рис. 7. Нумерация вершин и петель не показана

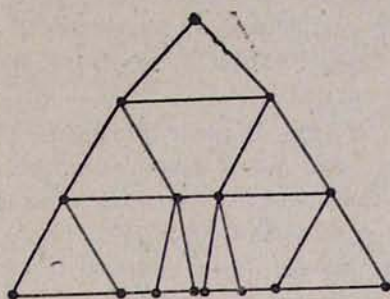


Рис. 8. X -дерево с $n=2^4-1=15$ вершинами

Утверждение 7 [18]. Для класса X -деревьев с $n=2^k-1$ вершинами справедлива $\log n$ -разделительная теорема.

§ 4. ВЕРХНИЕ И НИЖНИЕ ОЦЕНКИ ПЛОЩАДИ НЕПЛАНАРНОЙ УКЛАДКИ ГРАФОВ

Рассматривается задача непланарной укладки графа $G_1(V, E)$ с степенями вершин не больше 4 на решетку, т. е. нахождения его гомоморфного образа $G_1(V_1, E_1)$ такого, что V взаимно-однозначно отображается на V_1 , E однозначно отображается на простые цепи G_1 при этом любая пара таких цепей не имеет общих ребер и площадь укладки минимальна.

Напомним, что под площадью укладки рассматривается наименьшая площадь прямоугольника, содержащего $G_1(V_1, E_1)$ (при вычислении верхних оценок) или число квадратов решетки, содержащихся внутри $G_1(V_1, E_1)$ (при вычислении нижних оценок).

Существенным здесь является вопрос установления формы, экономной по площади укладки. Пусть R —некоторый прямоугольник с длиной L , шириной W , при этом будем считать, что $L \geq W > 0$. Длина и ширина однозначно определяют форму укладки. Однако можно использовать и другую пару параметров: площадь прямоугольника A и отношение сторон $\sigma = W/L$. В этом случае $L = \sqrt{A/\sigma}$ и $W = \sqrt{\sigma \cdot A}$.

Теорема 1 [18]. Если существует непланарная укладка графа G в прямоугольник площадью A , то тогда граф G может быть уложен в квадрат с площадью не больше $3 \cdot A$.

Таким образом, длинную и тонкую по форме укладку всегда можно преобразовать в квадрат с коэффициентом увеличения площади, не зависящим от числа вершин укладываемого графа. Обратное утверждение, вообще говоря, неверно (рис. 1 и 2). Прямоугольник с близким к 1 отношением сторон является предпочтительным по форме для получения близких к оптимальным укладок.

Разработанная в [12] техника укладки предусматривает как рекурсивное разбиение графа на два подграфа с примерно равным числом вершин (благодаря существованию разделителей (см. § 3)), так и рекурсивное рассечение площади прямоугольника, на который укладывается граф. Важно, чтобы отношение сторон рекурсивно получаемых прямоугольников оставалось ограниченным снизу положительной константой. В этом случае укладка не будет произвольно длинной и узкой.

Теорема 2 [12]. Пусть R -прямоугольник с площадью A и отношением сторон σ_R , где $\sigma_R \geq \sigma$ для некоторого $0 < \sigma \leq 1/2$. Предположим R рассечен параллельно меньшей стороне на два прямоугольника R_1 и R_2 с площадями $A_1 = \xi A$ и $A_2 = (1 - \xi)A$ для некоторого $\sigma \leq \xi \leq 1 - \sigma$. Тогда отношение сторон прямоугольников R_1 и R_2 ограничено снизу σ , т. е. $\sigma_{R_1} \geq \sigma$ и $\sigma_{R_2} \geq \sigma$.

Определение 1. Функция $g(n)$ удовлетворяет условию регулярности, если существуют константы $c_1, \beta_1 > 0$ такие, что при $\beta_1 \leq 1/2$ $g(\beta \cdot n) \geq c_1 \cdot g(n)$ для всех $n \geq 2$ и любого β из области $\beta_1 \leq \beta \leq 1 - \beta_1$.

Следующее утверждение позволяет оценить площадь укладки, получаемой в результате рекурсивной стратегии «разделяй и властвуй», уточненной в теоремах 1 и 2.

Теорема 3 [12]. Пусть S -класс графов, для которого справедлива $f(n)$ -разделительная теорема с константами a_S и c_S . Если функция

$$A(n) = \begin{cases} \frac{1}{c_S^3}, & \text{при } n=1 \\ \max_{a_S \leq \alpha \leq 1-a_S} (\sqrt{A(\alpha n) + A((1-\alpha)n)} + f(n))^2 & \text{при } n > 1 \end{cases}$$

удовлетворяет условию регулярности с константами $c_1 = c_S$ и $\beta_1 = a_S$, тогда любой n -вершинный граф $G \in S$ может быть уложен в прямоугольник с площадью не меньшей

$$A_S(n) = \frac{4 \cdot c_S^3}{\sigma_S} \cdot A(n)$$

и отношением сторон не меньшим σ_S .

Теорема 3, а также найденные в работе [12] точные границы с константными сомножителями для функции $A(n)$, зависящие от вида $f(n)$, позволяют установить верхние оценки (табл. 1) площади, требуемой для укладки классов графов, рассмотренных в § 3.

Определение нижних оценок площади непосредственно связано с понятием разделительной ширины графа (BISECTION WIDTH OF A

GRAPH), определяемой [17] как минимальное число ребер, удаление которых разбивает граф с n вершинами на два подграфа с $\left\lceil \frac{n}{2} \right\rceil$ и $\left\lfloor \frac{n}{2} \right\rfloor$ вершинами.

Таблица 1

Класс графов	Верхняя оценка площади, требуемая для укладки
Деревья	$O(n)$
X-деревья ($n=2^k$)	$O(n)$
Внешипланарные графы	$O(n)$
Планиарные графы	$O(n \log^2 n)$
Графы k -мерных решеток ($k \geq 2$)	$O(n^{2-2/k})$
Перестановочно-обменные графы ($n=2^k$)	$O(n^2/\log n)$
Графы кубично-связанных циклов ($n=k \cdot 2^k$)	$O(n^2/\log^2 n)$

Теорема 4 [17]. Площадь непланарной укладки графа с разделительной шириной ω ограничена $\Omega(\omega^2)$.

Доказательство теоремы проведено с помощью рассечения графа так называемыми зигзагообразными линиями и подсчета числа клеток укладки, связанных с каждым зигзагом.

Отметим, что если приведенные в табл. 1 верхние оценки площади справедливы для классов графов, то нижние оценки выполняются лишь для некоторых графов из этих классов. На основе теоремы 4 и понятий теории передачи информации в работе [11] было доказано, что разделительная ширина, например, перестановочно-обменного графа или графа кубично-связанных циклов не меньше $n/\log n$. Действительно, эти графы позволяют получить произвольную перестановку из n элементов за $O(\log n)$ вычислительных шагов [11]. Если такой граф разделен на два подграфа, то обмен информацией между подграфами потребует $O(\log n)$ единиц времени (считается, что передача информации по ребру требует одной единицы времени). Так как $\Omega(n)$ данных будет передаваться, то в единицу времени не менее $\frac{n}{\log n}$ элементов будет проходить между подграфами. Если пропускная способность каждого канала-ребра равна 1, то разделительная ширина графа будет $\Omega\left(\frac{n}{\log n}\right)$. Отсюда следует, что площадь, требуемая для укладки графа кубично-связанных циклов и перестановочно-обменного графа не меньше $\frac{n^2}{\log^2 n}$. Таким образом, верхняя оценка для графа кубично-связанных циклов является точной (см. табл. 1). В то же время имеется разрыв между верхней и нижней оценками для перестановочно обменных графов. Точная оценка $\Theta(n^2/\log^2 n)$ для этих графов позднее была найдена в работе [43].

Метод эффективной укладки перестановочно-обменных графов с небольшим числом вершин ($n=8, 16, 32, 64$ и 128) был предложен в [44].

Другой подход, позволивший уточнить многие нижние оценки площади укладки, был развит в работах [45, 46]. В качестве базисных свойств графа использовалась не разделительная ширина графа ω , а число пересечений графа c , т. е. минимально возможное число пар пересекающихся ребер при изображении графа на плоскости, и минимально возможная суммарная длина ребер b в укладке графа модели Томпсона (см. § 2).

Теорема 5 [45]. Пусть G есть n -вершинный граф с числом пересечений c , разделительной шириной ω , минимальной суммарной длиной ребер b и величиной A требуемой для его укладки площади решетки. Тогда

$$\Omega(\omega^2) \leq c + n \leq b \leq A.$$

Из неравенства теоремы 5 видны преимущества использования параметров c и b по сравнению с разделительной шириной ω . Действительно, такой подход позволил, в частности, построить [45, 46]:

1) n -вершинный непланарный граф, называемый 2-мерной $k \times k$ сеткой деревьев (2-DIMENSIONAL $k \times k$ MESH OF TREES), у которого $n = 3k^2 - 2k$, имеется $O(\sqrt{n})$ -разделитель, число пересечений $\Omega(n \log n)$ и площадь укладки $\Theta(n \log^2 n)$;

2) n -вершинный планарный граф, называемый деревом $k \times k$ сеток (TREE OF $k \times k$ MESHES), у которого имеется $O(\sqrt{n})$ -разделитель и площадь укладки $\Theta(n \log n)$.

Суммарные результаты [17, 18, 45, 46] по нижним оценкам площади, представлены в табл. 2, верхние оценки приведены для сравнения

Таблица 2

Класс графов с n^α -разделителем	Нижняя оценка площади, требуемой для непланарной укладки	Верхняя оценка площади, требуемой для непланарной укладки
$n^\alpha, \alpha < 1/2$	$\Omega(n)$	$O(n)$
$n^\alpha, \alpha = 1/2$	$\Omega(n \log^2 n)$	$O(n \log^2 n)$
$n^\alpha, \alpha > 1/2$	$\Omega(n^{2\alpha})$	$O(n^{2\alpha})$
Планарные графы	$\Omega(n \log n)$	$O(n \log^2 n)$

Четвертая строка таблицы показывает, что проблема установления точной оценки требуемой площади для укладки планарных графов остается открытой. Эта проблема тем более актуальна, что укладку произвольного графа можно свести к укладке планарного графа с помощью замены точек пересечений ребер искусственными вершинами и последующим их размещением.

Теорема 6 [45]. Граф G с n вершинами и числом пересечений c требует для непланарной укладки $O((c+n) \cdot \log^2(c+n))$ единиц площади. Если будет найден способ укладки любого планарного n -вершинного графа в $A(n)$ единиц площади, то укладка графа G может быть выполнена на площади не более чем в $O(A(c+n))$ единиц.

Подход, развитый в работах [45, 46], позволил установить или уточнить оценки максимальной длины ребра в непланарной укладке графов (табл. 3). Последний параметр связан с временным запаздыванием при прохождении сигнала по ребру и может задаваться как критерий оптимизации в задаче укладки [11].

Таблица 3

Класс графов с n^α -разделителем	Нижняя оценка максимальной длины ребра в непланарной укладке	Верхняя оценка максимальной длины ребра в непланарной укладке
$n^\alpha, \alpha < 1/2$	$\Omega(\sqrt{n}/\log n)$	$O(\sqrt{n}/\log n)$
$n^\alpha, \alpha = 1/2$	$\Omega(\sqrt{n} \log n / \log \log n)$	$O(\sqrt{n} \log n / \log \log n)$
$n^\alpha, \alpha > 1/2$	$\Omega(n^\alpha)$	$O(n^\alpha)$
Планарные графы	$\Omega(\sqrt{n} \sqrt{\log n})$	$O(\sqrt{n} \log n / \log \log n)$

Изложенный выше теоретический материал позволяет дать метод непланарной укладки графов на прямоугольные решетки. Для выполнения укладки конкретного графа необходимо иметь алгоритм нахождения разделителя в данном классе графов (назовем этот алгоритм процедурой *A*). Тогда укладка графа предполагает рекурсивную декомпозицию исходного графа до подграфов, укладываемых тривиально (декомпозиция производится на основе процедуры *B*). Одновременно с этим производится рекурсивное рассечение прямоугольника, отведенного под укладку на основе теорем 1 и 2. Площадь этого прямоугольника может быть выбрана из таблиц 1 и 2. На последнем этапе восстанавливаются ребра-разделители, удаленные в ходе выполнения процедуры *A*. Процесс восстановления ребер-разделителей назовем процедурой *B*.

В работе [12] исследовано влияние времени работы процедур *A* и *B* на суммарное время укладки графа. Пусть $s(n)$ —время, необходимое для одного выполнения процедуры *A* (время нахождения разделителя в графе с n вершинами), $S(n)$ —суммарное время, требуемое для всех рекурсивных выполнений процедуры *A*. Следующая табл. 4 показывает зависимость $S(n)$ от $s(n)$.

Таблица 4

$s(n)$	$S(n)$
$O(n^q), q < 1$	$\Theta(n)$
$\Theta(n \log^k n), k > 0$	$\Theta(n \log^{k+1} n)$
$\Omega(n^q), q > 1$	$\Theta(s(n))$

Третья строка табл. 4 показывает, что если время выделения разделителя в графе полиномиально больше линейного, то первое обращение к $s(n)$ будет определяющим в $S(n)$. Отметим также, что для деревьев, планарных и внешнепланарных графов разработаны линейные по времени алгоритмы выделения разделителей [33, 34]. Поэтому для этих классов суммарное время выполнения процедуры *A* равно $\Theta(n \log n)$.

Восстановление ребер-разделителей (процедура *B*) осуществляет-

ся на основе двух операций: введение дополнительного вертикального и горизонтального слоев для проведения каждого ребра; объединение двух ранее полученных упадок подграфов в одну укладку. Указанные операции реализуются на основе структур данных быстрого UNION-FIND алгоритма [32]. Доказано, что процедура B требует в худшем случае $\Theta(n \log n)$ действий.

§ 5. ПЛАНАРНЫЕ УКЛАДКИ ГРАФОВ

Планарной укладкой графа $G(V, E)$ на решетке будем называть его гомоморфный образ-граф $G_1(V_1, E_1)$ такой, что V взаимно-однозначно отображается на V_1 , E однозначно отображается на простые цепи графа G_1 при этом любая пара таких цепей может пересекаться лишь в концевых вершинах. Считается, что граф $G(V, E)$ — планарен, степень любой его вершины не больше 4, и рассматриваются планарные укладки, минимизирующие требуемую площадь решетки.

Теорема 1 [36]. Пусть G — планарный граф с n вершинами, степень любой вершины которого не больше 4. Тогда площадь его планарной укладки $A(n) = \Theta(n^2)$.

Действительно, верхняя оценка $A(n) \leq c_1 \cdot n^2$ с константой $c_1 = 9$ может быть получена, если последовательно размещать вершины во

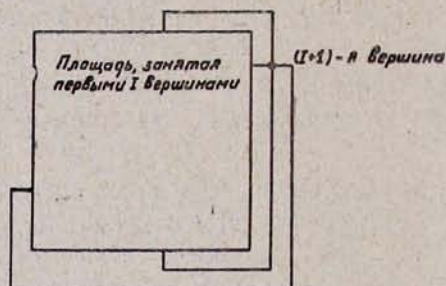


Рис. 9

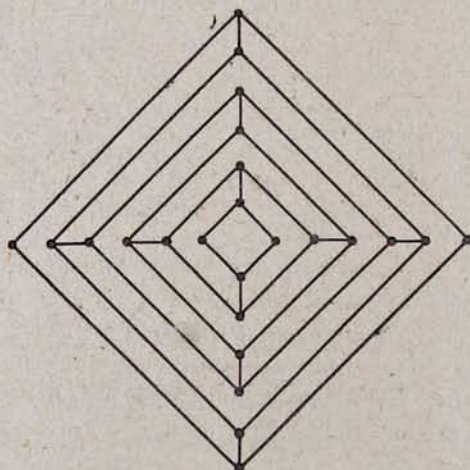


Рис. 10

нием свойств планарности, пусть $TRI(G)$ -триангулированный граф; б) построение дерева T , дуального графу $TRI(G)$ путем постановки одной вершины в центр каждой внутренней грани графа $TRI(G)$ и одной вершины на внешнюю грань против каждого ребра этой грани. Ребра дерева T будут соединять те пары вершин, которые разделены ребрами $TRI(G)$; в) так как существует взаимно-однозначное соответствие между ребрами дерева T и графа $TRI(G)$, то степень вершины в T не больше 3, и дерево T может быть планарно уложено на линейную от числа вершин площадь по алгоритму [37]; г) укладка исходного графа G производится путем масштабирования укладки дерева T , при этом для каждой вершины T отводится квадрат со сторонами 7×7 [47].

Авторы работы [30] применили описанный подход для поиска подклассов класса планарных графов, требующих для планарной укладки линейную площадь. Они показали, что планарный граф с n вершинами может быть планарно уложен на линейную площадь, если он преобразуется во внешнепланарный граф за независимое от n число шагов типа а) и б).

Теорема 4 [30]. *Планарный граф с n вершинами максимальной степенью 4, от любой вершины которого до внешней области существует цепь длины меньше k , где k -константа, может быть планарно уложен на линейную площадь.*

В заключение отметим, что различные подходы (в том числе и вероятностные) к проблеме планарной укладки графов обсуждались на семинаре [47].

§ 6. ПРОБЛЕМЫ И ПЕРСПЕКТИВЫ РАЗВИТИЯ

Площадь решетки A , занятая укладкой схемы, является важным критерием, характеризующим как число ее вычислительных элементов, так и число проводников, осуществляющих передачу информации. Другим, весьма важным критерием качества функционирования схемы, является время T , в течении которого схема реализовывает соответствующую функцию. Время T и площадь A зависят от структуры графа-модели схемы, т. е. от типа соединений между вычислительными элементами. Задача синтеза графов (интегральных схем), удовлетворяющих заданным ограничениям на величину площади укладки и время работы, является актуальной проблемой в автоматизации проектирования БИС. Одной из первых работ в этом направлении является диссертация [17], в которой проанализированы закономерности между A и T для схем, реализующих дискретное преобразование Фурье [32] и сортировку. Доказано, что любая такая схема должна удовлетворить условию

$$A \cdot T^{2x} = \Omega(n^{1+x} \cdot \log^{2x} n) \text{ для } 0 \leq x \leq 1 \quad \text{и}$$

n —размерности задачи.

Схема на основе перестановочно-обменного графа реализует преобразование Фурье за $T = O(\log^2 n)$, сортировку за $T = O(\log^3 n)$, площадь укладки в обоих случаях $A = (n^2 \log \log n)$. Схема на основе 2-мер-

ной решетки работает более медленно $T=O(\sqrt{n \log \log n})$, но требует меньше площади $A=O(n \log^2 n)$. Можно привести примеры аналогичных исследований для перемножения булевых матриц [48], целочисленного перемножения [49, 50] и других задач [45, 51]. Можно предположить, что данное направление будет развиваться.

Необходимо остановиться и на трудностях практического использования описанных результатов. Так, например, во всех цитированных работах считалось, что диаметр проводника и размер элемента схемы соизмеримы, т. е. и тот, и другой могут быть уложены в один ряд решетки. Однако часто размер элемента значительно превосходит диаметр проводника. Последнее может нарушить стройность алгоритмов укладки графов (§ 4, 5).

Необходимо отметить и асимптотический характер полученных оценок площади укладки, выполняющихся лишь для достаточно больших схем (с числом элементов порядка десятков и сотен тысяч). Важным для практики являются действительные значения константных множителей в оценках. Как правило, значения констант в цитированных работах не приведены.

Одной из важнейших теоретических проблем, возникающей в связи с изложенным подходом к укладке графов, является доказательство разделительных теорем для новых классов графов, а также построение быстрых алгоритмов выделения разделителей.

Приложение

Список основных обозначений

1. $f(n)=O(g(n))$ —верхняя оценка с константным сомножителем, означает существование константы $c>0$ такой, что $f(n)\leq c \cdot g(n)$ для достаточно больших n .
2. $f(n)=\Theta(g(n))$ —точная оценка с константным сомножителем, что означает существование констант c_1, c_2 таких, что $c_1 \cdot g(n)\leq f(n)\leq c_2 \cdot g(n)$ для достаточно больших n .
3. $f(n)=\Omega(g(n))$ —нижняя оценка с константным сомножителем, что означает существование константы $c>0$ такой, что $f(n)\geq c \cdot g(n)$ для достаточно больших n .
4. $\lfloor x \rfloor$ —наименьшее целое большее или равное x .
5. $\lceil x \rceil$ —наибольшее целое меньшее или равное x .
6. $\log x$ —логарифм x по основанию 2.

Վ. Վ. ՄԱՐԵԿՈ

ԳՐԱՅՆԵՐԻ ԴԱՍԱՎՈՐՈՒԹՅՈՒՆՆԵՐ ՈՒՂՂԱՆԿՅՈՒՆ ՑԱՆՑԵՐԻ ՎՐԱ

Ա. Վ. Փ. Ն. Փ. Ն. Վ.

Դիտարկվում է ուղղանկյուն ցանցերի վրա գրաֆների ալգորիթմի դասավորություններ, որոնց դեպքում մինիմիզացվում է զբաղեցվող մակերեսը:

Աշխատանքը նվիրված է այդպիսի դասավորությունների մասին եղած արդյունքների ամփոփմանն ու լուսաբանմանը: Գրաֆների առանձին դասերի դասավորման մեթոդը թույլ է տալիս բաժանող թեորեմների, դեկոմպոզիցիոն մոտեցման, ռեկուրսիայի և հաշվեկշռման հիման վրա հասնել ասիմպտոտիկորեն օպտիմալ լուծումների:

Դիտարկվող արդյունքները անմիջականորեն կապված են մեծ և գերմեծ ինտեգրալ սխեմաների ավտոմատ նախագծման հետ:

ЛИТЕРАТУРА

1. Мелихов А. М., Бернштейн Л. С., Курейчик В. М. Применение графов для проектирования дискретных устройств, М., Мир, 1974.
2. Глушков В. М., Капитанова Ю. В., Летичевский А. В. Автоматизация проектирования вычислительных машин, Киев, Наукова думка, 1975.
3. Селютин В. А. Автоматизированное проектирование топологии БИС, М., «Радио и связь», 1983.
4. Абрайтис Л. Б., и др. Автоматизация проектирования ЭВМ: Автоматизир. техн. проектирование конструктив. узлов цифровых устройств, М., «Сов. Радио», 1978.
5. Всесоюзная научно-техническая конференция «Автоматизация проектирования ЭВМ и систем», Ереван, сентябрь 1983.
6. Mead C. A., Conway L. A. Introduction to VLSI Systems, Addison-Wesley, 1980.
7. Snyder L., Overview of the Chip Computer. Gray J. P., ed. „VLSI-Very Large Scale Integration“, Academic Press, 1981, 237—246.
8. Rem M. The VLSI Challenge: Complexity Bridling. Gray J. P., ed. „VLSI-Very Large Scale Integration“, Academic Press; 1981, 65—73.
9. Trimberger S. et al. A Structured Design Methodology and Associated Software Tools. IEEE Transaction on Circuits and Systems, V. Cas—28, № 7, July 1981, 618—633.
10. Lattin B. VLSI Design Methodology. The Problems of the 80, s for Microprocessor Design, Proceedings of the 16 th Design Automation Conference, San Diego, California, June 25—27, 1979, 548—549.
11. Брейер М. (ред.). Сб. Теория и методы автоматизации проектирования вычислительных систем, М., Мир, 1977.
12. Sahni S., Bhutt A. The Complexity of Design Automation Problems, Proceedings of the 17th Design Automation Conference, Minneapolis, Minnesota, June 23—25, 1980, 402—410.
13. Tarjan R. E. Recent Development in the Complexity of Combinatorial Algorithms, The Fifth IBM Symposium on Mathematical Foundations of Computer Science May 26—28, Japan, 1980.
14. LaPaugh A. S. Algorithms for Integrated Circuit Layout: An Analytic Approach, Ph. D Thesis, Massachusetts Institute of Technology, Laboratory for Computer Science, Technical Report 248, November 1980.
15. Carlock P. G. The Module Placement Problem: Analysts and NP-Competeness Results, Ph. D. Thesis, University of southern California, January 1980.
16. Slutz E. A. Shape Determinition and Placement Algorithms for Hierarchical Integrated Circuits Layout, Ph. D. Thesis, Stanford University, August 1980.
17. Thompson C. D. A Complexity Theory for VLSI, Ph. D Thesis, Carnegie-Mellon University. Department of Computer Science, August 1980.
18. Lelerson C. E. Area-Efficient Graph Layouts, Carnegie-Mellon University, Department of Computer Science Report CMU—SC—80—138, August 1979.
19. Breuer M. A. Min-Cut Placement. J. Design Aut. and Fault Tol. Comp., Vol. 1, № 4, OCT. 1977, 343—362.

20. *Clampl P. L.* A System for Solution of the Placement Problem, Automation Conference, June 1975.
21. *Corrigan L. J.* A Placement Capability Based on Partitioning, Proceedings 16th Automation Conference, July 1979.
22. *Schmidt D. C., Druffel L. E.* An Interactive Algorithm for Placement and Assignment of Integrated Circuits, Proceedings 12th Design Automation Conference, June 1975.
23. *Lauther U.* A Min-Cut Placement Algorithm for General Cell Assemblies Based on a Graph Representation, Proceedings 16th Design Automation Conference, June 1979, 1-10.
24. *Stabler E. P., Kyreichik V. M., Kalashnikov V. A.* Placement Algorithm by Partitioning for Optimal Rectangular Placement, Proceedings 16th Design Automation Conference, June 1979, 24-25.
25. *Mead C., Rem M.* Cost and Performance of VLSI Computing Structures. IEEE Journal of Solid State Circuits, Vol. SC-14, № 2, April 1979, 455-462.
26. *Харари. Ф.* Теория графов, М., Мир, 1973, с. 26.
27. *Hanan M., Wolff P. K., Agule B. J.* A Study of Placement Techniques. J. Design Autom. and Fault Tol. Comp., № 1, 1978, 28-61.
28. *Гэри М., Джонсон Д.* Вычислительные машины и труднорешаемые задачи, М., Мир, 1982.
29. *Garey M. R., Johnson D. S., Stockmeyer L.* Some Simplified Polynomial Complete Problems, 6th Annual Symposium on Theory of Computing, ACM, April 1974, 47-63.
30. *Dolev D., Trickey H.* On Linear Area Embedding of Planar Graphs, Stanford University, Department of Computer Science, Report № Stan-CS-81-876, September 1981.
31. *Морозов К. К.* (ред.). Проектирование монтажных плат на ЭВМ, М., «Сов. Радио», 1979.
32. *А. Ахо, Дж. Хопкрофт, Дж. Ульман.* Построение и анализ вычислительных алгоритмов, М., Мир, 1979.
33. *Lipton R. J., Tarjan R. E.* A Separator Theorem for Planar Graphs. SIAM Journal on Applied Mathematics, 36, 1979, 177-189.
34. *Lipton R. J., Rose, D. J., Tarjan R. E.* Generalized Nested Dissection. SIAM Journal on Numerical Analysis, 16, 1979, 346-358.
35. *Lipton R. J., Tarjan R. E.* Applications of a Planar Separator Theore. SIAM Journal on Computing, No 9, 1980, 615-627.
36. *Valiant L. R.* Universality Considerations in VLSI Circuits. IEEE Transactions on Computers, Vol. C-30, No 2, February 1981, 135-140.
37. *Gilbert J. R.* Graph Separator Theorems and Sparse Gaussian Elimination, Ph. D Thesis, Stanford University, Department of Computer Science, December 1980.
38. *Levis P. M., Stearns R. E., Hartmanis J.* Memory Bounds for the Recognition of Context-free and Context-sensitive Languages. IEEE Conference Record on Switching Theory and Logical Design, 1965, 191-202.
39. *Preparata F. P., Vuttlemin J.* The Cube-Connected-Cycles: A Versatile Network for Parallel Computation, Proceedings of the 20th Annual Symposium on Foundations of Computer Science, 1979, 140-147.
40. *Stone H. S.* Parallel Processing with the Perfect Shuffle. IEEE Transactions on Computers, C-20, 1971, 153-161.
41. *Hoey D., Lelerson. C. E.* A Layout for the Shuffle-Exchange Network. Carnegie-Mellon University, Department of Computer Science, Technical Report CMU-CS-80-139, 1980.
42. *Sequin, C. H., Despain, A. M., Patterson D. A.* Communication in X-Tree aA Modular Multiprocessor System, Proceedings of the 1978 Annual Conference of the ACM, 1978 194-203.
43. *Kleitman D. et al.* New Layouts for the Shuffle Exchange Graph, Proceedings of the 13th Annual AMC Symposium on the Theory of Computing, 1981.

44. *Leighton, F. T. Miller G.* Optimal Layouts for Small Shuffle-Exchange Graphs. Gray J. P., ed. "VLSI-Very Large Scale Integration", Academic Press, 1981, 65-73.
45. *Leighton F. T.* New Lower Bound Techniques for VLSI, 22nd Annual Symposium on Foundations of Computer Science, 1981, 1-12.
46. *Leighton F. T.* Layouts for the Shuffle-Exchange Graph and Lower Bound Techniques for VLSI, Ph. D Thesis, Massachusetts Institute of Technology, Mathematics Department, August 1971.
47. *Knuth, D. E. Miller A. A.* A Programming and Problem-Solving Seminar, Stanford University, Department of Computer Science, Report No STAN. CS-81-863, June 1981.
48. *Savage J. E.* Area-Time Tradeoffs for Matrix Multiplication and Related Problems in VLSI Models, Brown University, Department of Computer Science, Technical Report CS-50, August 1979.
49. *Brent, R.P. Kung H. T.* The Area-Time Complexity of Binary Multiplication. Carnegie-Mellon University, Computer Science Department, Technical Report CMU CS-79-136, July 1979.
50. *Abelson, H. Andreae P.* Information Transfer and Area-Time Tradeoffs for VLSI Multiplication. Communication of the ACM, Vol. 23, No 1. January 1980.
51. *Pippenger H. Pebbling*, THE FIFTH IBM Symposium on Mathematical Foundations of Computer Science, May 26-28, Japan, 1980.

