

О СТОЙКОСТИ ЭЛЕКТРОННЫХ КОМПОНЕНТОВ К ДЕЙСТВИЮ РАДИАЦИИ

П.А. АЛЕКСАНДРОВ*, Е.В. ЕФИМЕНКО

НИЦ «Курчатовский институт», Москва, Россия

*e-mail: alexandrov_pa@nrcki.ru

(Поступила в редакцию 2 декабря 2019 г.)

Проведен анализ влияния радиационного облучения на интегральные схемы. Рассмотрены способы построения пассивно отказоустойчивых облучаемых микросхем. Дан обзор на способ косвенного измерения отказоустойчивости таких микросхем, построенных с помощью различного постоянного поэлементного резервирования и без резервирования. Рассмотрен способ тестирования микросхемы на обрыв и короткое замыкание после облучения.

1. Введение

Радиационная стойкость электронной аппаратуры – одно из актуальных направлений исследований и обязательное требование для применения в атомной, космической и оборонной области. Необходимость обеспечения отказоустойчивости микро- и наноэлектронных устройств различного назначения, обусловлена высокими функциональными требованиями к их быстродействию, точности и безотказности [1]. Существенное повышение отказоустойчивости цифровых вычислительных и управляющих микро- интегральных схем, предназначенных для работы в условиях облучения, также является одной из главных задач.

Как известно, дозовое воздействие гамма-излучения, нейтронов низких энергий и др. обычно приводит к постепенной деградации параметров микроэлектронных приборов (например, транзисторов). С этим борются технологическими методами. За счет уменьшения размеров электронных компонентов, появляются возможности для введения аппаратной избыточности с целью обеспечения отказоустойчивости микросхем. При этом аппаратная избыточность реализуется преимущественно путем резервирования. По мере развития цифровой индустрии наибольшее значение приобретает аппаратное резервирование на достаточно низком уровне.

В представленной работе рассмотрены наиболее простые методы резервирования. Оценки результативности сделаны приближенно, без знания

логической структуры микросхемы, принимая во внимание, что вероятность повреждения одного элемента одной частицей пропорциональна площади этого элемента. Дан обзор на способ косвенного измерения отказоустойчивости облучаемых микросхем, построенных с помощью различного постоянного поэлементного резервирования и без резервирования, испытательная система для косвенного измерения отказоустойчивости облучаемых испытательных цифровых микросхем, построенных различными способами постоянного поэлементного резервирования, и функциональная структура этих испытательных микросхем.

2. Отказоустойчивость цифровых микросхем

Радиационное облучение оказывает существенное влияние на микроэлектронные приборы, которое приводит к их отказу. В результате воздействия облучающей частицы на элементы в микросхеме, могут возникать дефекты, которые приводят к внезапным или постепенным отказам элементов.

Воздействие тяжелой заряженной частицы на микросхему может привести к эффектам, связанных с появлением в отдельных элементах схемы локальных областей с исключительно высокой плотностью электронно-дырочных пар, за счет ионизационных потерь энергии отдельной заряженной частицы на пути прохождения через микросхему [2]. Данное явление может привести к «короткому замыканию», а через некоторый промежуток времени к постоянному отказу. При ионизационном воздействии на микросхему чаще всего возникает постепенное накопление заряда на границе раздела в микросхеме и на физических дефектах. Образующиеся каскады смещений приведут к развитию постепенного отказа и в дальнейшем переходе его в постоянный отказ. Частицы также вызывают дополнительную ионизацию, которая при рекомбинации и диффузии электронно-дырочных пар со временем уменьшается. Это явление может дать временный отказ, который со временем восстанавливается.

Для проведения анализа работоспособности цифровых микросхем необходимо дать оценку отказоустойчивости микросхем, а точнее, оценку вероятности отказа ИС. В обзоре [3] был предложен новый метод оценки вероятности отказа нано- и микро- интегральных схем. Предполагается, что облучение ведется по «площади» микросхемы без учета типа компонентов и конструкции. Данный метод позволяет сравнивать отказоустойчивость интегральных схем, опираясь на математическую модель схемы с использованием различных способов построения отказоустойчивых микросхем.

Как известно, отказоустойчивость микросхемы тем выше, чем ниже вероятность ее отказа. Отказоустойчивостью микросхемы можно считать вероятность ее безотказной работы $P_{\text{ур}}$

$$P_{\text{уп}} = 1 - P_{jn}, \quad (1)$$

где P_{jn} – вероятность отказа микросхем, j – номер способа построения микросхемы.

Приближенная формула вероятности отказа P_2 микросхем с дублированными элементами:

$$P_2 \sim P_n^2/N, \quad (2)$$

где P_n – вероятность отказа гипотетической микросхемы с нерезервированными элементами.

В результате получается отказоустойчивость резервированных микросхем по отношению к нерезервированной микросхеме.

3. Методы резервирования

Интерес к отказоустойчивым системам возник с появлением первых компьютеров, и задача повышения отказоустойчивости микросхемы до сих пор не потеряла свою актуальность. Так как существует необходимость в бесперебойной работе отказоустойчивой системы, не допускающая кратковременных перебоев, в статье рассмотрены только способы построения интегральных микросхем с пассивной отказоустойчивостью.

3.1. Мажоритарное резервирование

Особое внимание в зарубежных работах уделяется различным видам мажоритарного резервирования (кратное резервирование $R = 3, 5, 7, 9 \dots$), в частности тройному модульному резервированию (TMR) (тройное резервирование). Принцип работы TMR состоит в следующем, на выходах трех одинаковых резервируемых блоков устанавливают мажоритарный клапан, формирующий выходной сигнал путем «голосования» по большинству одинаковых выходных сигналов резервируемых блоков. Несмотря на наибольшую известность вышеописанного способа, он имеет существенные недостатки [4].

3.2. Постоянное покомпонентное дублирование микросхемы

Для дальнейшего повышения отказоустойчивости интегральных схем с учетом недостатков при мажоритарном резервировании были предложены новые способы постоянного покомпонентного резервирования, а именно способы дублирования без использования блоков сравнения [5]. Основная идея заключается в том, что дублированная микросхема состоит из пар дублирующих друг друга компонентов, одноименные входы которых объединены, а выходы соединены так, что эта пара компонентов образует один дублированный компонент (рис.1).

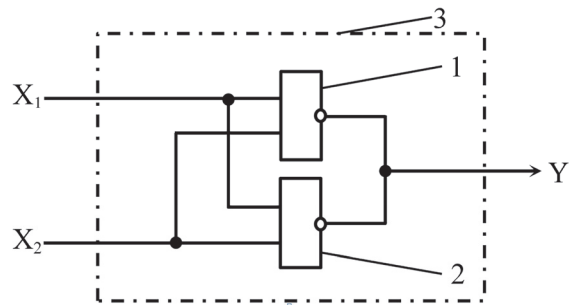


Рис.1. Модель дублированной микросхемы. 1,2 – дублирующие друг друга элементы, 3 – дублированный логический элемент.

В качестве компонентов могут выступать транзисторы, логические элементы и межсоединения. Компоненты не должны обладать памятью. Если это логический элемент, то в нем на его выходе устанавливают простой выходной каскад, позволяющий соединять дублирующие друг друга элементы, обеспечивая при этом верную работу пары дублирующих друг друга элементов при отказе одного из них. Принято, что отказ одного дублированного компонента является отказом микросхемы. Расстояние между компонентами этой пары должно быть больше, чем область повреждения от одной частицы [6]. Такой метод резервирования дает около 5 порядков повышения отказоустойчивости по отношению к исходной схеме и приблизительно на порядок, по сравнению с мажоритарным способом резервирования (в частности, сравнивалось с трехмодульным резервированием) [3].

3.3. Четырехкратно резервируемая структура (квадрирование)

В зарубежных работах был предложен метод одновременно последовательного и параллельного дублирования транзисторов, авторы обозначили его как метод построения четырехкратно резервированной транзисторной структуры (quadded transistor structure) [7]. Структура представляет транзисторную квадратную 2-х строчную матрицу, элементами которой являются одиночные транзисторы. Эта матрица по существу является 4-х кратно резервированным транзистором, построенным на одиночных транзисторах $T_1, \dots, T_4$ (рис.2).

В работе [3] рассмотрен вариант использования такого способа резервирования для случая действия облучения тяжелыми заряженными частицами и быстрыми нейтронами, вызывающими ядерные реакции в материале микросхемы.

Микросхема, состоящая из квадрированных логических элементов, откажет в случае, если выйдут из строя два одиночных транзистора в одном квадрированном транзисторе. Пара одиночных транзисторов может отказать при

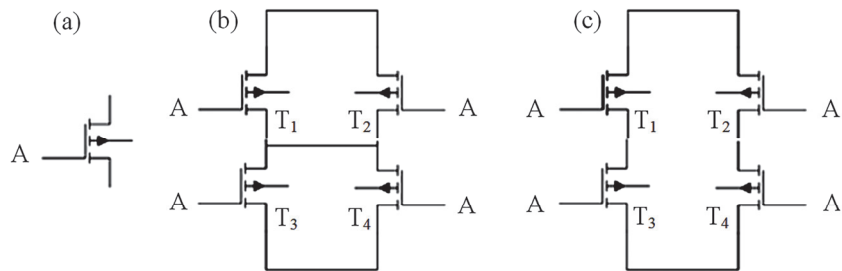


Рис.2. (а) Общая модель транзистора, (b,c) варианты схем квадрированного транзистора.

попадании двух частиц в каждый из одиночных транзисторов, либо при попадании одной облучающей частицы, область повреждения от которой превышает расстояние между двумя одиночными транзисторами. Для оценки вероятности отказа планарной квадрированной микросхемы авторы работы [3] разбили площадь микросхемы на соприкасающиеся одинаковые по размеру ячейки, каждая из которых содержит одиночный транзистор и относящиеся к нему межсоединения. В результате, отказоустойчивость квадрированной микросхемы выше в 2 – 4 раза, чем отказоустойчивость поэлементно структурно дублированной микросхемы и экономичнее по затратам аппаратуры.

3.4. 9-кратно резервируемая микросхема

Дальнейшее увеличение отказоустойчивости интегральных схем возможно при замене каждого транзистора на 9-кратно резервируемый транзистор, который представляет собой 3-х строчную квадратную транзисторную матрицу, состоящую из 9-ти одиночных транзисторов ($T_1, T_2, \dots, T_9$) (рис.3).

Анализ, проведенный с помощью вышеописанного метода оценки вероятности отказа облучаемых микросхем «по площадям» показал, что 9-ти кратное резервирование транзисторов по сравнению с 4-кратным резервированием

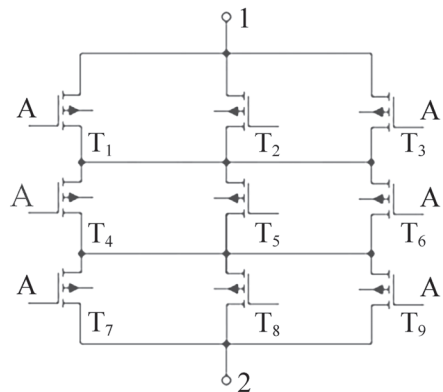


Рис.3. Общая модель 9-кратно резервированного транзистора.

транзисторов позволяет повысить отказоустойчивость микросхемы приблизительно на порядок при одинаковых типах дефектов в одиночных транзисторах.

4. Косвенное измерение облучаемых испытательных микросхем

4.1. Функциональная структура испытательной микросхемы

До сих пор способы экспериментальной проверки теоретически исследованных способов измерения отказоустойчивых облучаемых микросхем при помощи постоянного поэлементного резервирования не предлагались. Предлагаемые в данной работе способ косвенного измерения отказоустойчивости облучаемых испытательных микросхем и функциональная структура этих микросхем построены так, чтобы удовлетворить следующим требованиям:

- способ косвенного измерения и функциональная структура испытательных микросхем должны быть ориентированы на построение испытуемых микросхем любыми способами постоянного поэлементного резервирования и без резервирования; при изменении способа построения микросхемы в способе косвенного измерения, как показано ниже, должна быть использована соответствующая этом способу формула (5) вычисления вероятности отказа микросхемы, а в испытательной микросхеме должна быть использована реализация элементов, соответствующая этому способу построения микросхемы;
- функциональная структура испытательной микросхемы должна быть по возможности простой и позволяющей по возможности быстро обнаруживать отказы микросхемы по отказам любых отдельных элементов во всей микросхеме;
- в качестве начального отрезка времени облучения микросхемы до ее отказа должна быть измерена величина, позволяющая избежать многократного измерения отрезка времени от начала облучения микросхемы до ее отказа;
- задание момента начала измерения отрезка времени облучения микросхемы до ее отказа может быть регулироваться испытателем.

При соблюдении указанных требований предполагается, что оценка отказоустойчивости облучаемых микросхем проводится методом «по площадям», то есть облучение действует на «площадь» микросхемы независимо от ее функционального содержания.

Это позволило создать для испытаний способов постоянного поэлементного резервирования микросхем простую по функциональной структуре испытательную микросхему, специально предназначенную и приспособленную для измерения ее отказоустойчивости в процессе ее облучения.

Функциональная структура испытательной системы для косвенного

измерения отказоустойчивости облучаемых испытательных цифровых микросхем, построенных различными способами их постоянного резервирования и без резервирования, содержит источник радиационного излучения, затвор облучения и устройство управления затвором облучения. В качестве облучаемого образца установлена испытательная цифровая микросхема. В необлучаемом помещении установлена вычислительная система управления измерениями. Для передачи n -разрядного двоичного кода между микросхемой и вычислительной системой установлены соединения. Также в испытательной системе установлены соединения, обеспечивающие подачу управляющего сигнала приема контрольных эталонов в микросхему и подачи управляющего сигнала приема кода результата работы микросхемы в ее выходной регистр. Подачу управляющего сигнала начала измерений в вычислительную систему осуществляет соединение от устройства управления затвором. Вычислительная система управления состоит из n – разрядной двоичной комбинационной логической схемы, расположенной между входным и выходным регистрами. Комбинационная логическая схема представляет собой последовательную цепочку одинаковых одновходных комбинационных логических элементов, каждый из которых выполнен в соответствии со способом построения микросхемы – любым способом постоянного поэлементного резервирования или без резервирования.

4.2. Совместная работа вычислительной системы управления измерением и испытательной микросхемы, работающих в режиме облучения

Рассмотрим принцип работы вычислительной системы управления. Начиная с момента своего включения, вычислительная система с постоянной частотой синхронно формирует пары управляющих сигналов начала и конца циклов работы испытательной микросхемы. Сигналы начала цикла поступают в узел управления приемом контрольных эталонов во входной регистр микросхемы, а сигналы конца цикла поступают в узел управления приемом кода результата работы микросхемы в течение цикла в выходной регистр. В начале каждого цикла по сигналу начала цикла происходит прием контрольного эталона во входной регистр. Затем в результате переходного процесса в последовательных цепочках одинаковых комбинационных логических элементов на входе выходного регистра формируется код результата работы микросхемы в течение одного цикла. И в конце цикла этот код принимают в выходной регистр. Длительность цикла в основном определяется длительностью переходного процесса в последовательных цепочках одинаковых логических элементов, число которых в цепочке может быть очень большим.

Отказом микросхемы считается отказ в ней одного или более логических элементов и фиксируется по несовпадению кода во входном регистре с кодом в

выходном регистре. Это несовпадение проверяется в вычислительной системе. Если в каком-либо цикле эти коды совпадают между собой, то в этом цикле отказа микросхемы не произошло. Если в некотором цикле вычислительная система обнаруживает отказ микросхемы, то в следующем цикле она в качестве эталона передает во входной регистр ошибочный выходной код, полученный в предыдущем цикле. Если в этом следующем цикле выходной код микросхемы совпадет с ошибочным входным кодом, то это означает, что в этом следующем цикле не было отказа. Если же в этом следующем цикле ошибочный входной код не совпадет с выходным кодом микросхемы, то это означает, что в этом следующем цикле произошел отказ, что будет зафиксировано вычислительной системой. Однако возможен случай, когда выходной код микросхемы совпадает с ошибочным входным кодом, но при этом произошел необнаруженный отказ микросхемы. Это возможно, если необнаруженный отказ произошел в тех же разрядах комбинационной схемы, в которых он был раньше, но в других логических элементах. Однако вероятность того, что отказ микросхемы произошел в том же разряде n -разрядной комбинационной схемы, составит $1/n$ и будет незначительной при больших значениях n . Пусть число двоичных разрядов в каждом из этих регистров и в комбинационной схеме будет $n = 50$. Тогда, если число логических элементов в комбинационной схеме равно 100 000, то длина цепочки логических элементов в одном двоичном разряде комбинационной схемы будет равно 2000. При задержке на логический элемент 1 нсек, длительность переходного процесса в комбинационной схеме будет 2 мсек. Примем, например, что длительность обработки кода результата работы испытательной микросхемы в одном цикле 1 мсек, что вполне реально при тактовой частоте 50 МГц вычислительной системы. В результате длительность цикла составит 3 мсек, а частота циклов составит 0.33 МГц.

4.3. Вычисление экспериментальной оценки отказоустойчивости

Способ измерения отказоустойчивости облучаемых микросхем, включает в себя способ вычисления их отказоустойчивости, который описан в работе [3], основанной на теоретических работах [1,3,8–10]. Данный способ состоит в том, что во время облучения микросхемы измеряют начальный отрезок времени облучения микросхемы до ее отказа, позволяющий оценить вероятность отказа микросхемы, затем вычисляют поток, при котором произошел отказ микросхемы, по формуле:

$$F = I t_f, \quad (3)$$

где F – поток, или иначе говоря, число частиц, попавших в 1 см^2 микросхемы за время облучения до ее отказа; I – интенсивность облучения, t_f – начальный отрезок времени облучения микросхемы до ее отказа, позволяющий оценить

вероятность отказа микросхемы.

По вычисленному потоку облучения, площади микросхемы, числу логических элементов в микросхеме и заданной вероятности повреждения единицы площади микросхемы при попадании в нее частицы, вычисляют отказоустойчивость микросхемы по соответствующей способу ее построения формуле вероятности отказа микросхемы:

$$P_{up,j} = f_j (F_j, S_j, N, W), \quad (4)$$

где j – номер способа построения микросхемы; $P_{up,j}$ – вероятность отказа микросхемы, характеризующая ее отказоустойчивость; f_j , F_j и S_j – формула, поток и площадь микросхемы, соответствующие j – му способу построения микросхемы; N – число логических элементов в микросхеме; W – вероятность повреждения единицы площади микросхемы при попадании в нее частицы. По окончании измерения среднего отрезка времени t_{up} облучения микросхемы до ее отказа в вычислительной системе вычисляется поток облучения, при котором произошел отказ микросхемы.

В качестве формулы (4) вычислительная система вычисляет вероятность отказа микросхемы по одной из формул, соответствующих способу построения микросхемы и указанных в [3], а именно:

1) для нерезервированной микросхемы по формуле:

$$P_{up,1} = F_j S_1 W, \quad (5)$$

2) для структурно дублированной микросхемы по формуле:

$$P_{up,1} = (0.5 F_2 S_2 W \beta)^2 / N, \quad (6)$$

где β – относительная вероятность отказа дублированного элемента при попадании частицы в его нерезервированный компонент: $\beta = n_{up} / n_{ed}$, где n_{up} – среднее число нерезервированных компонентов дублирующего элемента, n_{ed} – среднее число компонентов в дублирующем элементе, остальные величины определены выше;

3) для квадрированной микросхемы представляют в виде:

$$P_{up,4} = \mu (F_4 S_4 W)^2 / (6 N n_{4sq}), \quad (7)$$

где n_{4sq} – среднее число квадрированных транзисторов в одном квадрированном логическом элементе; μ – относительная вероятность попадания частицы в отказывающую пару одиночных транзисторов, остальные величины определены выше;

4) для 9-кратно резервированной микросхемы представляют в виде:

$$P_{up,9} = 0.012 (F_9 S_9 W)^3 / (9 N), \quad (8)$$

где все величины определены выше. Данный способ имеет несколько

недостатков. Во-первых, измерение начального отрезка времени облучения микросхемы до её отказа возможно при облучении большого числа идентичных микросхем, которые после их отказов непригодны. Однако, как уменьшить число облучаемых микросхем до одной не известно. Во-вторых, даже при уменьшении числа испытываемых идентичных микросхем до одной, не известно, как измерять начальный отрезок времени облучения микросхемы до ее отказа и как распознавать ее отказ. Для реализации этого способа требуются испытательные микросхемы, предназначенных для испытаний способов постоянного резервирования микросхем и облегчающие обнаружение отказов микросхемы и измерение отрезков времени, в том числе – между отказами. Однако испытательные микросхемы такого назначения и их функциональные структуры не предлагались.

5. Тестирование микросхемы на обрыв и короткое замыкание

В статье «Opens and Shorts Testing Reference Design, National instruments, Publish Date 16.09.2019» (URL:<https://www.ni.com/tutorial/6980/en/>) рассмотрен способ тестирования микросхемы, состоящей из КМОП – транзисторов, на обрыв и короткое замыкание после облучения. Как известно, КМОП – транзисторы могут выйти из строя, если на входном или выходном контакте возникает условие перенапряжения. Для защиты этих устройств на каждом сигнальном штыре установлены два диода. Первый находится между сигнальным контактом и V_{DD} (напряжением питания), а второй – между сигнальным контактом и V_{SS} (заземлением).

Если на любой контакт подается положительное напряжение, превышающее V_{DD} , диод V_{DD} смещается в прямом направлении, позволяя току протекать между сигнальным выводом и V_{DD} . Аналогично, при подачи отрицательного напряжения на контакт, превышающего V_{SS} , диод V_{SS} смещается в прямом направлении. Таким образом, защитные диоды предотвращают повреждение КМОП- транзисторов, микросхем в условиях перенапряжения. Однако, защитные диоды необходимо проверить на обрыв и короткое замыкание.

Метод тестирования на обрыв и короткое замыкание разделен на 2 этапа: проверка защитного диода V_{DD} и проверка защитного диода V_{SS} . Основная идея заключается в следующем: необходимо подать минимальный ток (100 мкА) на сигнальный контакт. Если защитный диод работает исправно, он будет смещен в прямом направлении, и ток будет протекать между сигнальным контактом и проверяемым защитным диодом. Если напряжение, измеренное между сигнальным контактом и землей, менее 0.2 В, то существует одно или несколько коротких замыканий. Если измеренное напряжение превышает допустимое падение напряжение с прямым смещением, больше 1.5 В – обрыв в цепи. Перед проверкой защитных диодов необходимо заземлить не только V_{DD} и V_{SS} , но и остальные

сигнальные контакты. Авторы статьи «Opens and Shorts Testing Reference Design, National instruments, Publish Date 16.09.2019» (URL:<https://www.ni.com/tutorial/6980/en/>) также предлагают автоматизировать процесс проведения теста, используя программное обеспечение для системного проектирования NI LabVIEW и NI Switch Executive. Однако, как уже указывалось, этот простой метод работает после облучения, а не во время облучения.

6. Заключение

Стремительное развитие цифровой микро- и нанoeлектроники приводит к необходимости существенного повышения отказоустойчивости управляющих микро- интегральных и цифровых вычислительных схем, предназначенных для работы в условиях облучения. Наибольшую значимость получает постоянное поэлементное резервирование микросхем с учетом расположения дублирующих компонентов микросхемы друг относительно друга дальше, чем область повреждения от одной частицы.

Особый интерес представляет новый способ косвенного измерения отказоустойчивости облучаемых испытательных цифровых микросхем с целью получения экспериментальных оценок их отказоустойчивости, обеспечиваемой различными способами поэлементного резервирования.

Работа поддержана НИЦ «Курчатовский институт» (приказ НИЦ «КИ» от 30.01.2019 №116).

КОНФЛИКТ ИНТЕРЕСОВ: Авторы декларирует об отсутствии конфликта интересов.

ЛИТЕРАТУРА

1. **В.И. Виноградов.** Электроника инфо. № 9, 44 (2007).
2. **Э.Н. Вологдин, А.П. Лысенко.** Радиационные эффекты в интегральных микросхемах и методы испытаний изделий полупроводниковой электроники на радиационную стойкость. Учебное пособие. с. 22, 2002.
3. **П.А. Александров, В.И. Жук, В.Л. Литвинов.** Способы построения отказоустойчивых цифровых микросхем и оценки вероятностей их отказа, вызванного облучением. М: Порог, 2019.
4. **П.А. Александров, Е.В. Ефименко.** О возможности повышения отказоустойчивости цифровых интегральных схем к действию отдельных частиц за счет поэлементного резервирования. В кн.: Инновации в атомной энергетике, Москва, 2019.
5. **П.А. Александров, В.И. Жук, В.Л. Литвинов.** Способ постоянного поэлементного дублирования в дискретных электронных системах (варианты). – Патент РФ на изобретение № 2475820 от 10.08.2011, классы МПК G06F 11/16, H03K 19/007.
6. **П.А. Александров, В.В. Бударгин, В.В. Жук, В.Л. Литвинов.** Нано- и микро-системная техника. №1(162), 7, (2014).

7. **A.H. El-Maleh, B.M. Al-Hashimi, A. Melouki, F. Khan.** IET Computers & Digital Techniques. **3**, 570 (2009).
8. **П.А. Александров, Е.К. Баранова, И.В. Баранова.** Нано- и микросистемная техника. №4(141), 2, (2012).
9. **J. Han, P. Jonker.** A Study on Fault-Tolerant Circuits using Redundancy. Multiconference in Computer Science and Engineering, Las Vegas, NV, USA, June 23-26, p. 65 (2003).
10. **K. Nikolic, A. Sadek, M. Forshaw.** Nanotechnology. **13**, 359, (2002).

ԷԼԵԿՏՐՈՆԱՅԻՆ ԲԱՂԱԴՐԻՉՆԵՐԻ ԿԱՅՈՒՆՈՒԹՅՈՒՆԸ ՌԱԴԻԱՅԻԱՅԻ
ԱԶԴԵՑՈՒԹՅԱՆ ՆԿԱՏԱՄԲ

Պ.Ա. ԱԼԵԿՍԱՆԴՐՈՎ, Ե.Վ. ԵՖԻՄԵՆԿՈ

Կատարվել է ինտեգրալային սխեմաների վրա ռադիացիոն ճառագայթման ազդեցության վերլուծություն: Դիտարկվել են ճառագայթման նկատմամբ դիմակայուն պասիվ միկրոսխեմաների հնարավոր կառուցվածքային տարբերակները: Բերվել է ըստ տարրերի պահեստային և ոչ պահեստային տարրեր հաստատուն կառուցվածքով միկրոսխեմաների դիմակայունության անուղղակի չափման մեթոդ: Ներկայացվել է ճառագայթումից հետո միկրոսխեմաների խզման ու կարճ միացման դեպքերում թեստավորման եղանակ:

ON THE RESISTANCE OF ELECTRONIC COMPONENTS
TO THE ACTION OF RADIATION

P.A. ALEXANDROV, E.V. EFIMENKO

The effect of radiation exposure on integrated circuits is analyzed. The methods of constructing passively fault-tolerant radiated microcircuits are studied. A review of a method for indirectly measuring the fault tolerance of such microcircuits constructed using various constant element-by-element redundancy and without redundancy is given. A method for testing microcircuits for open circuit and short circuit after irradiation is considered.